

Н.К. Трубочкина

## КАЧЕСТВЕННЫЙ АНАЛИЗ, ПРОГНОЗ И КОМПЬЮТЕРНОЕ МОДЕЛИРОВАНИЕ МОП И КМОП НАНОСХЕМОТЕХНИКИ ДЛЯ ТВЕРДОТЕЛЬНЫХ КЛАССИЧЕСКИХ СУПЕРКОМПЬЮТЕРОВ

В статье проведен качественный анализ, дан прогноз развития и приведены результаты компьютерного 3D физического и смешанного моделирования МОП и КМОП наноструктур при минимальном топологическом размере 10 нм, длине канала 20-30 нм и минимальной толщине подзатворного окисла 4 нм. Приведено инновационное решение вертикальной интеграции КМОП схем, дающих при технологии в 10 нм задержку в 60 псек, а информационную плотность в  $10^{10}$  вентилей/см<sup>2</sup>.

Ключевые слова: компьютерное моделирование, МОП и КМОП наноструктуры, твердотельные суперкомпьютеры

N.K. Trubochkina

## QUALITATIVE ANALYSIS, FORECASTING AND MOS AND CMOS NANOCIRCUITRY COMPUTER-AIDED MODELING FOR SOLID CLASSICAL SUPERCOMPUTERS

The article provides a qualitative analysis, the forecast of the development and results of 3D computer modeling of physical and mixed MOS and CMOS nanostructures with minimal topological size 10 nm, channel length of 20-30 nm, the minimum thickness of gate oxide 4 nm.

The innovational solution of the CMOS circuits' vertical integration provides for technology at 10 nm delay of 60 psec, and the information density in  $10^{10}$  cells/cm<sup>2</sup>.

Keywords: Computer modeling, MOS and CMOS наноструктуры, solid-state supercomputers

### Введение

В течение последних лет масштабирование технологии интегральных схем, основанных на комплементарных металло-оксидных полупроводниках, КМОП (complementary metal-oxide semiconductor, CMOS) позволило получить новые классы чипов [1-27].

Однако в соответствии с законом Мура в ближайшие десять-пятнадцать лет некоторые критические измерения в масштабируемых МОП-транзисторах достигнут предельных значений масштаба размера атома (рис. 1), из чего вытекает необходимость альтернативных подходов к созданию компонентов для СБИС суперкомпьютеров и специальных схем управления.

Основой маломощных СБИС для твердотельных классических суперкомпьютеров и схем управления по-прежнему остается МОП-транзистор, создаваемый в различных технологических и структурных реализациях.

В табл. 1 показана шкала развития технологий для кремниевой МОП наносхемотехники на период с 2003 г. до 2017 г. [28].

В лабораторных условиях с помощью оптической литографии учёным ещё в 2003 году удалось получить экспериментальный МОП транзистор с шири-

ной затвора 10 нм. Таким образом, можно предполагать, что возможностей кремниевых полупроводников теоретически хватит ещё как минимум до 2017 года.

Реальность технологического процесса с нормами 22 нанометров, который, согласно Закону Мура, должен пойти в серию в 2011 году, действительно подтверждена экспериментальными исследованиями ряда компаний. В частности, компании IBM, с которой сотрудничают AMD и Freescale Semiconductor, уже удалось создать прототип чипа статической памяти (SRAM) с применением норм 22-нм техпроцесса. Подтверждают реальность 22-нм техпроцесса и в Intel, где для выпуска чипов с такими нормами намерены использовать те же 193-нм инструменты в сочетании с иммерсионной литографией и техникой двойной экспозиции. О создании прототипа 28-нм статической памяти с шириной затвора 24 нм также объявила тайваньская компания TSMC.

Ради дальнейшего использования кремниевых полупроводников для производства чипов в настоящее время ведутся поиски новых технологий для экспозиции фотомасок.

В лабораториях ряда компаний уже на протяжении нескольких лет проходят испытания установки с лазерами так называемого сверхглубокого ультрафиолета

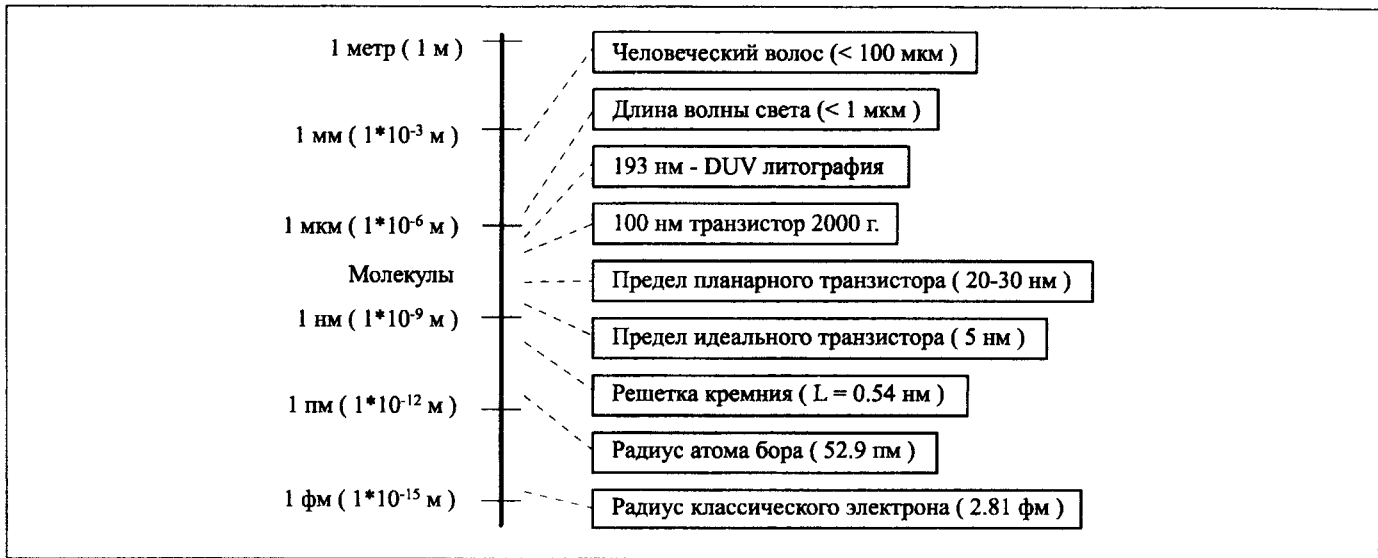


Рис. 1. Размерная шкала от 1 м до 1 фм

Таблица 1. Временная шкала развития нанотехнологий для МОП и КМОП схмотехник

Год	2003	2005	2007	2009	2011	2013	2015	2017
Технология	90 нм	65 нм	45 нм	32 нм	22 нм	16 нм	11 нм	8 нм
МОП транзистор						-	-	-

(EUV, Extreme Ultraviolet), с длиной волны порядка 13 нм. К сожалению, с развитием EUV литографии дела обстоят не так радужно, как прогнозировалось несколько лет назад, на заре освоения этой технологии. До сих пор не разработаны достаточно мощные источники излучения - для промышленного производства необходима мощность порядка 50-100 Вт, стабильными пока получаются установки мощностью 10-20 Вт. До конца не определены материалы, подходящие в качестве «светочувствительных» фоторезистов. Пока EUV литография далека от коммерциализации.

В настоящее время обсуждается ряд других технологических приёмов для так называемой «литографии следующего поколения» (Next Generation Lithography, NGL), включая безмасочную литографию, нанопечать и улучшенную двухпроходную экспозицию.

Конец кремниевой эры полупроводниковой промышленности близок. Однако это не означает смерть самой полупроводниковой промышленности.

Учёные всего мира продолжают искать как свойства для цифрового кодирования и новые вещества с целью поиска достойной замены кремниевым полупроводникам. К таким свойствам можно отнести массу, заряд, спин различных веществ, их волновые и магнитные свойства [1-35],

- так и другую схемную, системную и структурную реализацию МОП и КМОП схем в нанодиапазоне [36-49].

**Синтез и компьютерное моделирование наноструктуры классического МОП транзистора**

В синтезе биполярных наноструктур в качестве исходных компонентов используют только р-п переходы (переходы полупроводник<sub>1</sub>-полупроводник<sub>2</sub>).

В п-р-п транзисторе принцип «открыт-закрыт» осуществляется за счет различных вариантов подачи напряжений в области транзистора. Система напряжений, при которой оба р-п перехода закрыты, соответствует закрытому состоянию транзистора (что в инверторе соответствует напряжению логической единицы). А система напряжений, при которой оба р-п перехода открыты, соответствует открытому (насыщенному) состоянию биполярного транзистора (что в инверторе соответствует напряжению логического нуля).

В МОП схмотехнике для реализации принципа «открыт-закрыт» используются переходы типа полупроводник-окисел. Переход р-оx закрыт по току (если напряжение на переходе меньше напряжения пробоя), однако при подаче определенного напряжения на переход, под окислом в полупроводнике может

$$\begin{array}{c}
 n^{Gnd} \quad n^{out} \quad ox^{in} \\
 | \quad \cup \quad | \quad \cup \quad | \\
 p^{F_0} \quad p^{F_0} \quad p^{F_0} \\
 = n^{out} - \frac{ox^{in}}{p^{F_0}} - n^{Gnd} \quad (1)
 \end{array}$$
  

$$\begin{array}{c}
 n^{out} - \frac{ox^{in}}{p^{F_0}} - n^{Gnd} \quad \cup \quad \frac{ox^{in}}{p^{F_0}} = n^{out} - \frac{ox^{in}}{p^{F_0}} - n^{Gnd} \\
 a_1 \quad a_2 \quad p^{F_0} \quad a_1 \quad a_2 \quad (2)
 \end{array}$$
  

$$\begin{array}{c}
 ox^{in} \\
 \uparrow a_3 \\
 n^{out} \leftarrow p^{F_0} \rightarrow n^{Gnd} \\
 a_1 \quad a_2
 \end{array}$$

Рис. 2. Представление структуры МОП транзистора размерностью  $N=4$  в виде формулы (*in* - вход, *out* - выход, *Gnd* - нулевой потенциал)

быть образована зона с проводимостью, отличной от проводимости без управляющего напряжения на переходе.

Это второй вариант реализации принципа «открыт-закрыт» - вариант создания проводящей области (канала) для формирования проводящего пути для тока. Канала нет, нет тока в структуре – структура закрыта (логическая единица), канал есть – структура открыта, проводит ток (логический ноль).

#### Уравнение синтеза наноструктуры классического МОП транзистора

При объединении двух  $p$ - $n$  ( $N=2$ ) переходов  $a_1$  и  $a_2$  и одного изолирующего  $p$ - $ox$  перехода ( $N=2$ )  $a_3$  с функциональными частями, указанными в уравнении (1) или при объединении  $p$ - $p$  транзистора ( $N=3$ )  $a_1 a_2$  и одного изолирующего  $p$ - $ox$  перехода ( $N=2$ )  $a_3$  с функциональными частями, указанными в уравнении (2), получается модель МОП-транзистора размерностью  $N=4$  (рис. 2). В соответствии с теорией, описанной в [29, 36-48], абстрактную модель (1) можно представить в виде  $4^3=64$  пространственных реализаций. Структурная формула стандартной структуры МОП-транзистора представлена на рис. 2.

#### Компьютерное 3D моделирование классической наноструктуры МОП транзистора с технологическими ограничениями в 10 нм

На рис. 3а показана классическая 3D наноструктура МОП транзистора и схема для ее смешанного моде-

лирования, а на рис. 3б – результат моделирования статистики – передаточная характеристика, подтверждающая переключательные функции МОП структуры в данном нанодиапазоне.

В качестве основных ограничений при моделировании были использованы:

- минимальный топологический размер – 10 нм,
- длина канала – 30 нм,
- толщина подзатворного окисла – 4 нм.

Результаты 3D физического моделирования классической наноструктуры МОП транзистора представлены на рис. 4.

В физическом блоке для моделирования наноструктуры МОП транзистора применялись следующие расчетные процедуры [30]:

1. EffectiveIntrinsicDensity (OldSlotboom) – процедура, обеспечивающая вычисления в разрыве энергетических зон в полупроводнике.
2. MLDA – процедура расчета изменения локальной плотности с использованием квантово-механической модели, которая вычисляет процессы, происходящие вблизи Si-SiO<sub>2</sub> границ. Представляет собой надежную и быструю модель. Она может быть использована для массового MOSFET моделирования тонких SOI. Подходит для трехмерного моделирования устройства из-за ее числовой эффективности.
3. PhuMob – унифицированная модель подвижности, предложенная Klaassen [31]. Используется в дополнение к описанию температурной зависи-

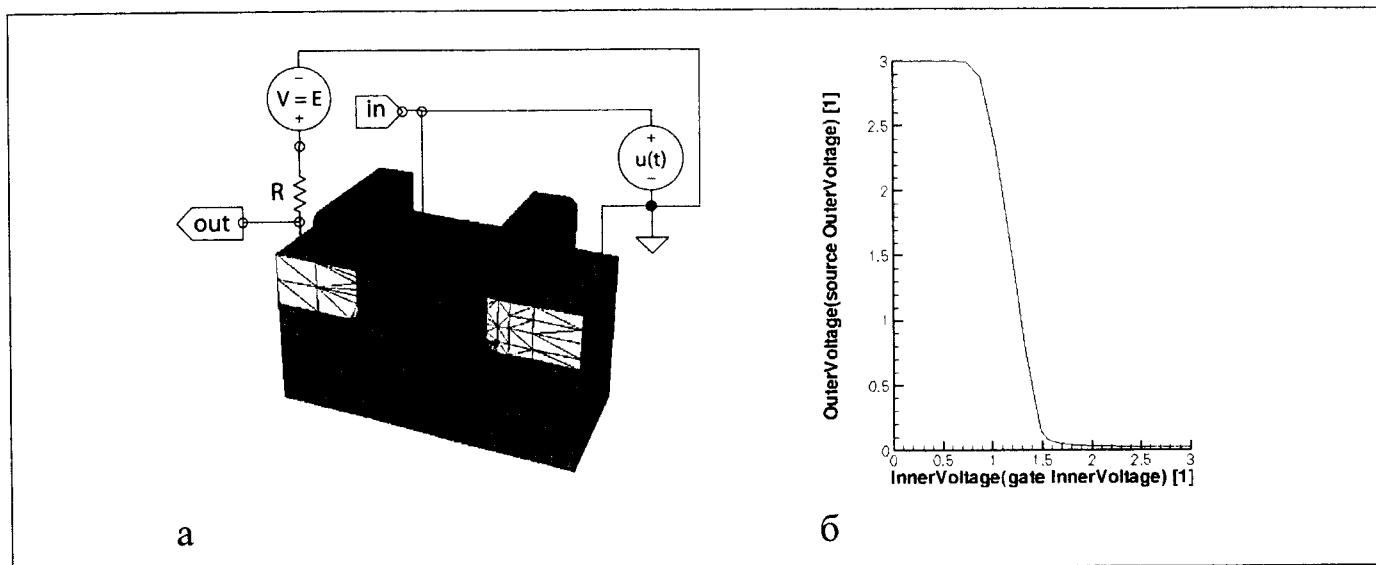


Рис. 3. Смешанный режим моделирования: а – наноструктура моделируется в составе электрической схемы; б – передаточная характеристика наноструктуры МОП транзистора, полученная в результате смешанного компьютерного моделирования

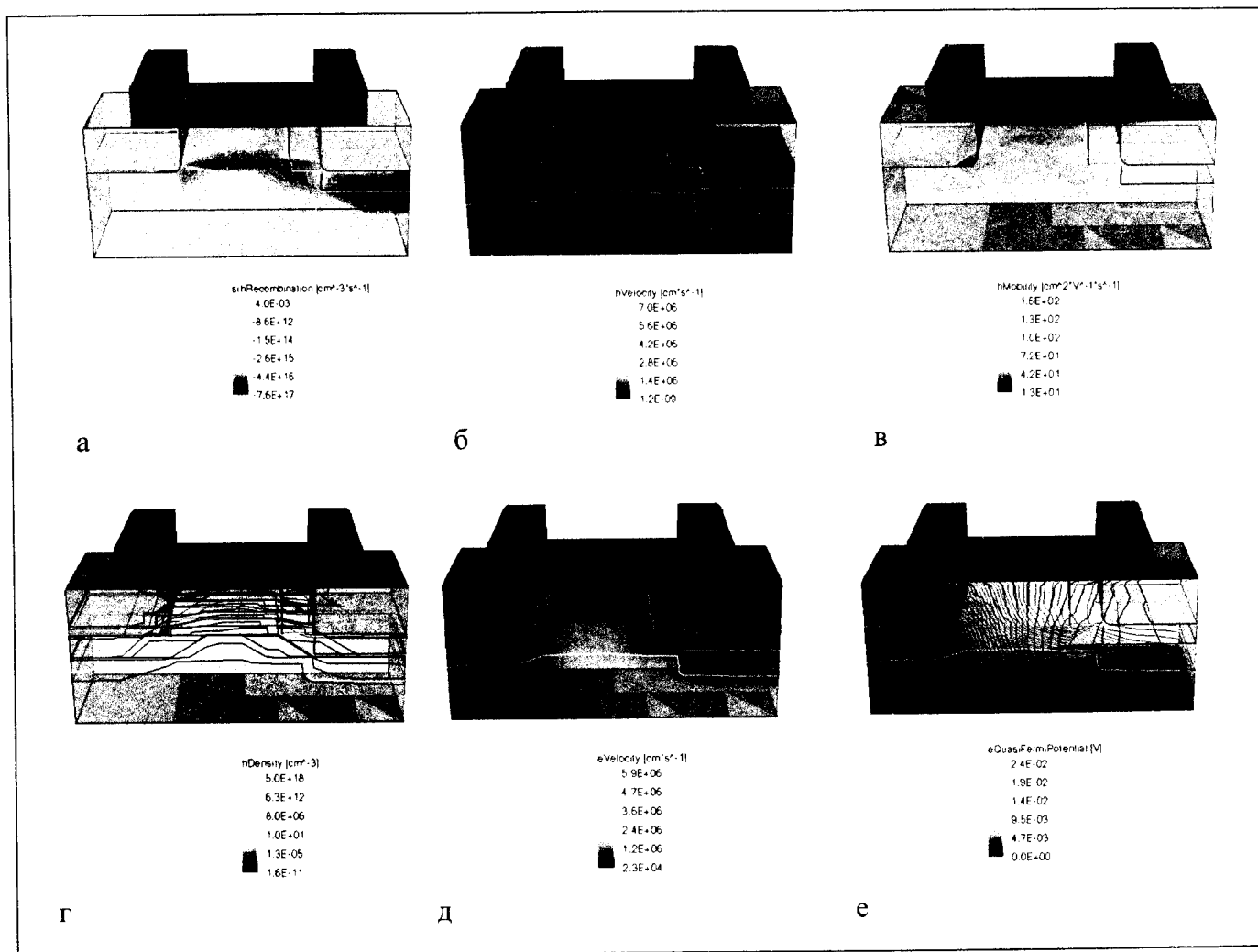


Рис. 4. Результаты 3D моделирования наноструктуры МОП транзистора: а – SRH рекомбинация; б – скорость дырок; в – подвижность дырок; г – плотность дырок; д – скорость электронов; е – квазипотенциал Ферми для электронов

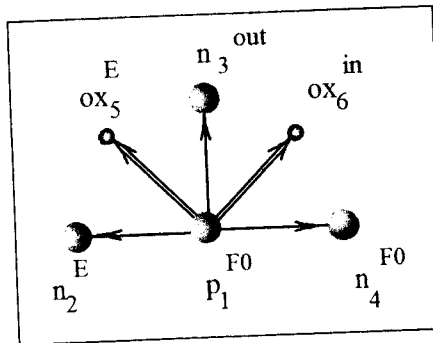


Рис. 5. Структурная формула МОП инвертора – схема переходной наносхемотехники

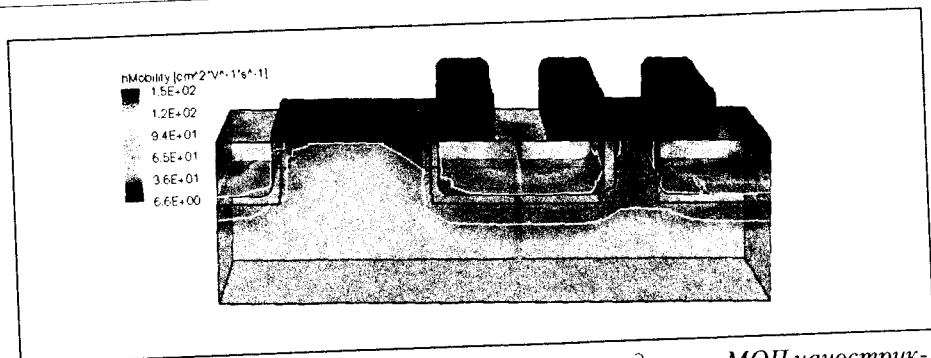


Рис. 6. Результаты 3D моделирования подвижности дырок в МОП наноструктуре "HE"  $N = 6$  с минимальным топологическим размером 10 нм и толщиной подзатворного окисла 4 нм

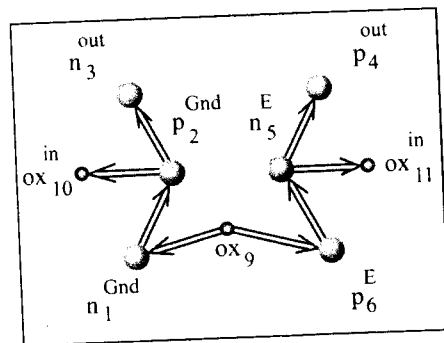


Рис. 7. Структурная формула вертикального КМОП инвертора – схема переходной наносхемотехники. Подзатворные окислы на боковых поверхностях (рис. 8)

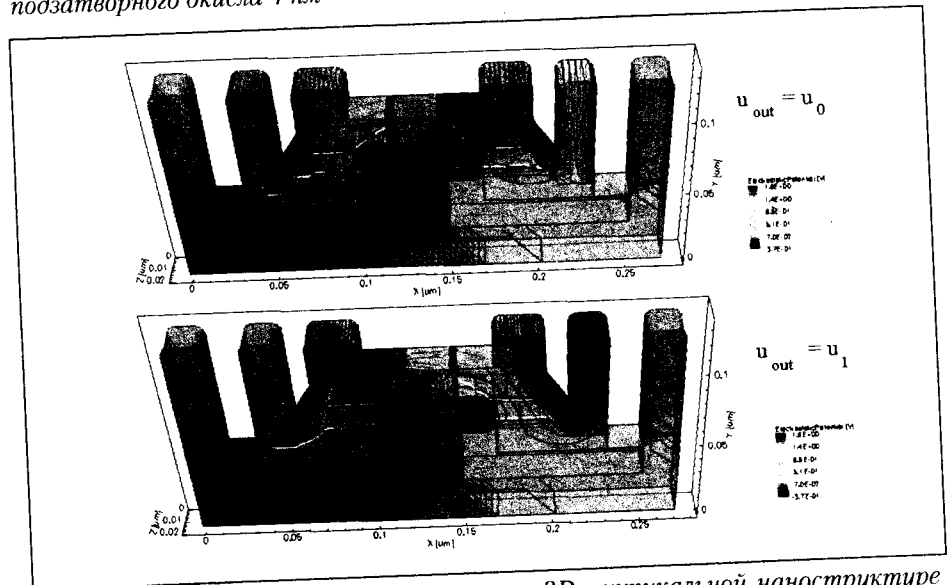


Рис. 8. Электростатический потенциал в 3D вертикальной наноструктуре КМОП инвертора для двух выходных режимов

мости подвижности. Модель учитывает электроно-дырочное рассеяние, скрининг ионизированных примесей носителей заряда и кластеризацию примесей. Philips модель подвижности хорошо откалибрована. Хотя первоначально использовалась в основном для биполярных устройств, она широко используется для МОП-структур.

4. HighFieldSaturation. В сильных электрических полях, скорость дрейфа носителей уже не пропорциональна электрическому полю. Это учитывается в данной процедуре.
5. EpmgmalHigh – процедура поддерживает два различных метода для вычисления нормалей электрического поля. Чтобы активировать модель Ломбарди с этим методом вычисления, необходимо указать флаг Epmgmal подвижности. По умолчанию, интерфейс полупроводник-диэлектрик.
6. Recombination (SRH(DopingDep)) – процедура рекомбинации Шокли-Рида-Холла (SRH): рекомбинации через глубокие уровни дефектов [32, 33-35].

Дальнейшая интеграция моделей в схемы приводит к получению вариантов моделей и наноструктур, например, МОП и КМОП инверторов.

#### Компьютерное 3D моделирование наноструктур классического МОП инвертора и вертикального КМОП инвертора с технологическими ограничениями в 10 нм

Размерность общей переходной модели классического МОП-инвертора равна 6 ( $N=6$ ) (рис. 5), вертикального КМОП-инвертора – 7 ( $N=7$ ) (рис. 7).

Компьютерное моделирование этих наноструктур подтверждает их работоспособность в технологическом диапазоне 10 нм (топологический шаг) и при толщине подзатворного окисла в 4 нм.

#### Оценка задержки вертикальной наноструктуры КМОП инвертора

На рис. 9 представлены графики входного (1) и выходного (2) напряжений вертикальной наноструктуры

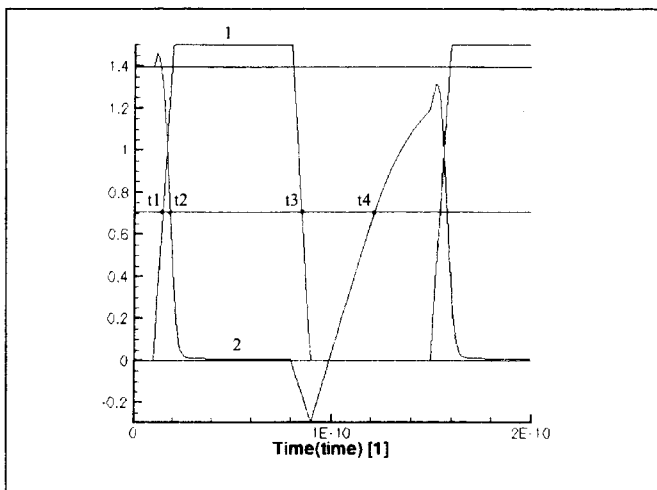


Рис. 9. Переходные характеристики наноструктуры вертикального КМОП инвертора

ры КМОП инвертора. В результате моделирования были получены следующие значения координат точек пересечения фронтов входного и выходного напряжений с серединой логического уровня выходного сигнала.

$$t1 = 1,46903 \times 10^{-11} \text{ (сек)}$$

$$t2 = 1,85512 \times 10^{-11} \text{ (сек)}$$

$$t3 = 0,85472 \times 10^{-10} \text{ (сек)}$$

$$t4 = 1,21935 \times 10^{-10} \text{ (сек)}$$

Задержки фронтов по уровню 0,5 составят:

$$t^{10} = t2 - t1 = 0,38609 \times 10^{-11} = 3,8609 \times 10^{-12} \text{ (сек)}$$

$$t^{01} = t4 - t3 = 0,56463 \times 10^{10} = 56,463 \times 10^{-12} \text{ (сек)}$$

Тогда задержка наноструктуры определится по формуле:

$$\tau = (t^{10} + t^{01})/2 = (3,8609 \times 10^{-12} + 56,463 \times 10^{-12})/2 = 60,3239 \times 10^{-12} \text{ (сек)},$$

и составит около 60 пикосекунд.

### Заключение

В статье на основании качественного анализа современного состояния развития МОП и КМОП наносхемотехник, инновационного перехода к нанотехнологиям дан прогноз развития и приведены результаты синтеза и компьютерного 3D физического и смешанного моделирования МОП и КМОП наноструктур при минимальном топологическом размере 10 нм, длине канала 20-30 нм, минимальной толщине подзатворного окисла 4 нм.

Новое структурное (инновационное) решение вертикальной интеграции КМОП схем, дает качественно новые параметры по информационной плотности и быстродействию даже при технологии в 10 нм.

Переход к вертикальной КМОП интеграции ориентировочно даст задержку в 60 псек ( $60 \cdot 10^{-12}$  сек), и информационную плотность в  $10^{10}$  вентилях/см<sup>2</sup>.

### ЛИТЕРАТУРА

1. Thompson S., Alavi M., Hussein M., Jacob P., Kenyon C., Moon P., Prince M., Sivakumar S., Tyagi S., Bohr M. 130nm Logic Technology Featuring 60nm Transistors, Low-K Dielectrics, and Cu Interconnects // Intel Technology Journal. V. 6. 2002. № 2. P. 5–13.
2. Thompson S., Packan P., Bhor M. MOS scaling: Transistor challenges for the 21st century // Intel Tech. J. 1998. Vol. Q3. P. 1–19.
3. Brand A., Haranahalli A., Hsieh N., Lin Y.C., Sery G., Stenton N., Woo B.J. Intel's 0.25 Micron, 2.0Volts Logic Process Technology // Intel Technology Journal. Q3'98. P. 1–9.
4. Momose H.S., Ono M., Yoshitomi T., Ohguro T., Nakamura S., Saito M., Iwai H. 1.5 nm direct-tunneling gate oxide Si MOSFET's. // IEEE Trans. on Electron Devices. V. 43. Aug. 1996. № 8. P. 1233.
5. VanDerVoorn P., Gan D., Krusius P. CMOS Shallow-Trench-Isolation to 50-nm Channel Widths // IEEE Trans. on Electron Devices. V. 47. June 2000. № 6. P. 1175–1182.
6. Yeh W.-K., Chou J.-W. Optimum halo structure for Sub-0.1 mm CMOSFETs. // IEEE Trans. ED. V. 48. Oct. 2001. № 10. P. 2357.
7. Shin H., Lee S. An 0.1-μm Asymmetric Halo by Large-Angle-Tilt Implant (AHLATI) MOSFET for High Performance and Reliability. // IEEE TRANSACTIONS ON ELECTRON DEVICES. V. 46. April 1999. № 4. P. 820–822.
8. Pindl S., Berthold J., Huttner T., Reif S., Schumann D., Philipsborn H. A 130-nm channel length partially depleted SOI CMOS-technology. // IEEE Trans ED. 1999. V. 46. № 7. P. 1562–1566.
9. De I., Osburn C. M. Impact of Super-Steep-Retrograde Channel Doping Profiles on the Performance of Scaled Devices. // IEEE TRANSACTIONS ON ELECTRON DEVICES. V. 46. August 1999. № 8. P. 1711–1717.
10. Momose H.S., Ohguro T., Morifuji E., Sugaya H., Nakamura S., Iwai H. Ultrathin Gate oxide CMOS with nondoped selective epitaxial Si channel layer. // IEEE Trans. ED. V. 48. 2001. № 6. P. 1136.
11. Uchino T., Miyauchi A., Shiba T. MOSFETs with ultrashallow junction and minimum drain area formed by using solid-phase diffusion from SiGe. // IEEE Transactions on Electron Devices. V. 48. 2001. № 7. P. 1406–1411.
12. Takahashi M., Ohno T., Sakakibara Y., Takayama K. Fully depleted 20-nm SOI CMOSFETs with W-Clad Gate/Source/Drain layers. // там же, P. 1380–1385.
13. Jurczak M., Skotnicki T., Paoli M., Tormen B., Martins J., Rogolini J.L., Dutartre D., Ribot P., Leneble D., Pantel R., Monfray S. Silicon-on-nothing (SON) – an innovative process for advanced CMOS. // IEEE Trans ED. V. 47. № 11. P. 2179–2187.
14. Hisamoto D., Kaga T., Kawamoto Y., Takeda E. A fully depleted lean-channel transistor (DELTA) – a novel vertical ultrathin SOI MOSFET. // IEEE Electron Device Letters. V. 11. 1990. № 1. P. 36.
15. Huang X., Lee W.-C., Kuo C., Hisamoto D., Chang L., Kedzierski J., Anderson E., Takeuchi H., Choi Y.-K., Asano K., Subramanian V., King T.-J., Bokor J. and Hu C. Sub 50-nm FinFET: PMOS. in IEDM Tech. Dig. 1999. P. 67–70.
16. Takato H., Sunouch K., Okabe N., Nitayama A., Hieda K., Horiguchi F., Masuoka F. Impact of surrounding gate transistor (SGT) for ultra-density LSI's. // IEEE Trans. on ED. V. 38. 1991. № 3. P. 573–578.

17. Schulz T., Rosner W., Risch L., Korbel A., Langmann U. Short-channel vertical sidewall MOSFETs. // IEEE Trans ED. V. 48. 2001. № 8. P. 1783–1788.
18. Chan V.W.C., Chan P.C.H. Fabrication of Gate-All-Around Transistors Using Metal Induced Lateral Crystallization. // IEEE ELECTRON DEVICE LETTERS. V. 22. February 2001. № 2. P. 80.
19. Park J.-T., Colinge J.-P., Diaz C.H. Pi-Gate SOI MOSFET. // IEEE ELECTRON DEVICE LETTERS. V. 22. 2001. № 8. P. 405.
20. Rim K., Hoyt J.L., Gibbons J.F. Fabrication and Analysis of Deep Submicron Strained-Si N-MOSFET's. // IEEE TRANSACTIONS ON ELECTRON DEVICES. V. 47. July 2000. № 7. P. 1406–1415.
21. Yeo Y.-C., Subramanian V., Kedzierski J., Xuan P., King T.-J., Bokor J., Hu C. Design and fabrication of 50-nm thin-body pMOSFETs with a SiGe heterostructure channel. // IEEE Trans. ED. V. 49. 2002. № 2. P. 279–286.
22. Chang S.-J., Chang C.-Y., Chao T.-S., Huang T.-Y. High Performance 0.1  $\mu$ m Dynamic Threshold MOSFET Using Indium Channel Implantation. // IEEE ELECTRON DEVICE LETTERS. V. 21. March 2000. № 3. P. 127–129.
23. Ohguro T., Naruse H., Sugaya H., Morifuji E., Nakamura S., Yoshitomi T., Morimoto T., Kimijima H., Momose H.S., Katsumata Y., Iwai H. An 0.18  $\mu$ m CMOS for mixed digital and analog applications with zero-volt-Vth epitaxial-channel MOSFET's. // IEEE Trans on Electron Devices. V. 46. 1999. № 7. P. 1378–1383.
24. Ponomarev Y., Stolk P., Dachs C.J.J., Montree A.H. A 0.13  $\mu$ m poly-SiGe gate CMOS Technology for low-voltage mixed-signal applications. // IEEE Trans on ED. Vol. 47. 2000. № 7. P. 1507–1513.
25. Razavi B. CMOS Technology Characterization for Analog and RF Design. // IEEE Journ. on Solid-State Circuits. V. 34. 1999. № 3.
26. Suzuki E., Ishii K., Kanemaru S., Maeda T., Tsutsumi T., Sekogawa T., Nagai K., Hiroshima H. Highly Suppressed Short-Channel Effects in Ultrathin SOI n-MOSFET's. // IEEE Trans. on Electron Devices. V. 47. Feb. 2000. № 2. P. 354–359.
27. Zhao Ji., Chen H.-S., Teng C.S., Moberly L. Improved hot-carrier immunity for CMOS mixed-signal applications with LATID technology. // IEEE Trans on Electron Devices. V. 46. 1996. № 6. P. 954.
28. [http://www.3dnews.ru/editorial/it\\_beyond\\_si/](http://www.3dnews.ru/editorial/it_beyond_si/)
29. Трубочкина Н.К. Схемотехника ЭВМ. – М. МИЭМ. 2008. 256 с.
30. Synopsys. Sentaurus Device. Version Y-2006.06, June 2006.
31. Klaassen D.B.M. A Unified Mobility Model for Device Simulation—I. Model Equations and Concentration Dependence // Solid-State Electronics, V. 35, № 7, PP. 953–959, 1992.
32. Roulston D.J., Arora N.D. and Chamberlain S.G. Modeling and Measurement of Minority-Carrier Lifetime versus Doping in Diffused Layers of n+p Silicon Diodes // IEEE Transactions on Electron Devices, V. ED-29, № 2, PP. 284–291, 1982.
33. J. G. Fossum, "Computer-Aided Numerical Analysis of Silicon Solar Cells," Solid-State Electronics, V. 19, № 4, PP. 269–277, 1976.
34. J. G. Fossum and D. S. Lee, "A Physical Model for the Dependence of Carrier Lifetime on Doping Density in Nondegenerate Silicon // Solid-State Electronics, V. 25, N 8, PP. 741–747, 1982.
35. Fossum J.G. et al. Carrier Recombination and Lifetime in Highly Doped Silicon, Solid-State.
36. Трубочкина Н.К. 3-D nanoscale circuits simulation Тезисы Russian-German workshop in the field of ICT, November 6-7, 2008, Moscow, Russia.
37. Трубочкина Н.К. Моделирование 3-D наносхемотехники. V Межд-народная выставка наноиндустрии. NTMEX 08. 10-12. 11. 2008.
38. Трубочкина Н.К. Моделирование 3-D наносхемотехники Simulation of 3D Nanoscale Circuit Engineering Презентация (рус., англ.) СеBIT-2009. Информационные технологии в образовании. Hannover 3-8 марта. DVD – сборник научных работ Федерального Агентства по образованию РФ.
39. Трубочкина Н.К. Переходная наносхемотехника Junction Nanoscale Circuit Engineering Презентация (рус., англ.) / там же.
40. Трубочкина Н.К. Кремниевая жизнь Silicon life Презентация- фильм (рус., англ.) / там же.
41. Трубочкина Н.К. Математическое моделирование и синтез оптимальной 3-D наносхемотехники. Сб. тезисов Международного форума «Новые информационные технологии и менеджмент качества» (NIT&QM) Египет, г. Шарм Эль Шейх, 2009.
42. Трубочкина Н.К. Обзор и анализ состояния элементной базы для наноиндустрии. Перспективы развития Статья. Сб. трудов XVII Международной студенческой конференции-школы-семинара. Судак, 2009.
43. Трубочкина Н.К. Переходная 3D наносхемотехника – новая концепция и новое качество в создании трехмерных интегральных схем // Качество. Инновации. Образование. 2009. № 7.
44. Трубочкина Н.К. Инновационный подход к разработке новой элементной базы для суперкомпьютеров на основе переходной схемотехники и нанотехнологий Стенд в рамках «ИНФОРМИКИ» Презентация Rusnanotech'09 Nanotechnology International Forum/ October 6-8.
45. Трубочкина Н.К. Interactive 3D in Science and Art: From Visual Analysis of 3-D Intelligent nano- Circuitry to 3-D Art Galleries on the Web доклад International Scientific Seminar "Visual Computing in Fundamental Science and Academic Research", 19.
46. Трубочкина Н.К. Наноструктуры и их модели. 4 типа переходной схемотехники. 2-ая Всероссийская школа- семинар «Наноструктуры, моделирование, анализ и управление».
47. Трубочкина Н.К. Панфилов П.Б. Visual Analysis and Synthesis of Intelligent 3D nano-Structures Тезисы 17-я международная конференция «Advanced Laser Technologies», Анталья, Турция, 26 сентября – 1 октября, 2009.
48. Трубочкина Н.К. Смешанное моделирование ступенчатого биполярного транзистора с минимальным топологическим размером 20 нм и толщиной базы 3 нм. // Качество. Инновации. Образование. 2009. № 11.
49. Трубочкина Н.К. Биполярный транзистор. Патент РФ на полезную модель № 2009144397, 02.12. 2009.

**Надежда Константиновна Трубочкина,**  
 д-р техн. наук, профессор МГИЭМ.  
 e-mail: nadin@miem.edu.ru