

Кечиев Л.Н., Бушуев А.В.

Задачи обеспечения ЭМС печатных узлов электронных средств

Общая характеристика проблем

Основной чертой развития цифровой техники на сегодняшний день является повышение быстродействия. Это ставит перед разработчиками электронных средств, выполненных на печатных платах, ряд новых задач. Понятие «высокое быстродействие» относится к устройствам и системам, которые работают на частотах 50 МГц и выше, а современные тенденции соответствуют частотам (максимальная частота в спектре сигнала) более гигагерца. Повышение частот приводит к проявлению «паразитных» параметров в топологических элементах печатных плат (проводниках, экранах, шинах питания), а также в компонентах (индуктивность выводов и т.п.). Кроме этого, работа цифровых микросхем на повышенных частотах имеет определенные особенности, которые сказываются на конструкции печатной платы. На системном уровне повышенное быстродействие требует учета влияния конструкции платы и особенностей передачи сигнала в ней на общие показатели системы. С позиций информационной безопасности большое значение имеет минимальный уровень излучения от печатного узла. Важным фактором, подтверждающим необходимость освоения методов проектирования печатных плат повышенного быстродействия, является непрерывное увеличение доли цифровой техники и увеличение ее быстродействия в общем объеме продукции [1–6].

Повышению быстродействия способствует применение новых конструкторско-технологических направлений, а именно – новых конструкций корпусов интегральных микросхем, увеличение числа выводов на один корпус, применение технологии монтажа на поверхность и миниатюризации компонентов. При этом увеличивается плотность монтажа на плате, что, кроме технологических сложностей, определяет усложнение задач, связанных с проблемой электромагнитной совместимости [7–12].

Перечислим некоторые основные задачи, которые возникают при проектировании высокоскоростных электронных модулей на печатных платах [13, 14]:

- обеспечение требований электромагнитной совместимости;
- минимизация перекрестных помех;
- обеспечение согласования линий передач;
- устранение помех по шинам питания;
- устранение «отрыва» заземления микросхемы;
- обеспечения минимальной системной задержки.

Все эти задачи существенным образом влияют на деградацию цифрового сигнала. При длительности фронта цифрового сигнала в 1 нс и менее необходимо комплексное решение этих и ряда других задач. В противном случае у разработчика практически нет никаких шансов рассчитывать на успех. Конечным результатом решения этих задач является рациональная топология печатной платы и компоновка электронного модуля (печатного узла).

Следует отметить еще два важных момента. Во-первых, проектирование высокоскоростных печатных плат следует рассматривать как часть комплексного этапа проектирования электронных модулей. Только комплексное рассмотрение схемотехнических, конструкторских и технологических аспектов создания электронного модуля позволит достичь успеха.

Во-вторых, следует иметь в виду, что электронные модули являются важнейшими сборочными единицами электронной аппаратуры, от которых зависит качество функционирования конечного продукта. Чем более выверены и обоснованы будут решения на стадии проектирования, тем короче и дешевле будет этап экспериментальной отработки, и тем быстрее изделие появится на рынке. В условиях жесткой конкурентной борьбы этот фактор имеет очень большое значение.

Стратегия проектных решений

Проектирование высокоскоростных плат предполагает моделирование и проверку работоспособности электронного модуля на некоторой модели. Основой такой модели является, во-первых,

принципиальная схема электронного модуля, а во-вторых, модель печатной платы с учетом всех элементов конструкции (печатные проводники, выводы микросхемы, проводники внутри корпуса микросхемы и т.п.). Эта комплексная модель представляет собой некоторый *виртуальный прототип*, который анализируется на этапе *параметрической верификации*. Именно эта интегрированность решений залог успешного решения задачи проектирования электронного модуля. Конечно, строгие модели во многих случаях получить сложно, а во многих случаях и невозможно, но общая методология проектирования должна оставаться неизменной.

Потребность в создании плат высокого быстродействия изменила философию проектирования. Историческое развитие подходов к принятию проектных решений и состава САПР печатных плат прошло несколько этапов, которые отражали потребности промышленности и уровень техники на соответствующий период.

Первый этап может характеризоваться состоянием дел до 1980 года, когда еще проблема создания быстродействующих систем практически не ставилась, ограничиваясь только отдельными проектами. В этот период трассировка печатных плат проводилась при достаточно большом шаге координатной сетки, число выводов микросхем было относительно невелико. При разработке плат основным считалось удовлетворение критериев решения топологических задач. Именно на это были ориентированы соответствующие алгоритмы и программы. Практика создания относительно низко скоростных плат в этот период не требовала серьезных доработок и учета электрических и электродинамических процессов, происходящих в печатной плате при работе устройства.

Последующие два десятилетия отмечались бурным развитием цифровой техники и микроэлектроники во всех приложениях, включая бытовую технику. Резко возросли скорости обработки информации, совершенствовалась конструкция корпусов микросхем, многократно увеличилось число их выводов, повысились требования к срокам и стоимости разработки. Конкуренция на рынке достигла такого уровня, что промедление в 6 месяцев может привести к тому, что продукт окажется неконкурентоспособным. Сложность проектирования печатных плат возросла настолько, что специалист уже не мог опираться на интуитивные решения, основанные на прежнем опыте разработки.

Повышение быстродействия требовало представлять плату как некоторый распределенный элемент электрической схемы, который во многом определяет ее функционирование. Рассматривая отдельные процессы и явления, были разработаны проектные нормы и решения, которые служили рекомендациями при создании плат. Эти правила формулировались в конструкторско-технологических понятиях, что определяло разрыв между функциональными требованиями и качеством конечного продукта.

Совершенствование САПР, требования к сокращению сроков проектирования заставило развивать подходы, основанные на анализе виртуального прототипа и верификации проектных решений. Тем не менее, в большинстве подходов топологическое проектирование было отделено от электрического моделирования, что требовало взаимодействия специалистов различного профиля, передачи данных из одного программного продукта в другой. В конечном итоге это усложняло процесс проектирования. В настоящее время при создании быстродействующих электронных модулей на первое место выходят требования к помехозащищенности платы и ее электрическим параметрам.

Процесс моделирования интерактивный и охватывает все стадии создания электронного модуля: концептуальное, функциональное и логическое проектирование, схемотехническое проектирование, конструирование и технология. Чем на более ранних стадиях будет принято решение, тем меньше будут итоговые затраты и сроки создания аппаратуры. Эта концепция носит название «сдвиг влево». Для реализации этой концепции проектировщик платы должен обладать знаниями о процессах и явлениях, относящихся к более ранним стадиям создания аппаратуры, например, к концептуальным и схемотехническим аспектам, вопросам цифровой обработки информации. Конечно, проектировщик платы не должен заменять соответствующих специалистов, но обязан квалифицировано взаимодействовать с ними.

Стратегия разработки и верификации

Традиционные подходы к созданию электронных средств предполагали выполнение на заключительных стадиях физического прототипа и его отладку. В современных условиях такой подход не может быть принят, поскольку он слишком дорог и требует значительного времени, из-за чего продукция на рынок будет попадать с большим опозданием. Выходом из этой ситуации, как отмечалось выше, является применением принципов верификации проекта с использованием виртуального прототипа. Успешное выполнение этой стадии возможно только при тесном взаимодействии в едином

отладки прототипа. Кроме этого, именно виртуальный прототип позволяет реализовать упомянутую выше концепцию «сдвига влево».

Верификация в проектировании плат

Под верификацией будем понимать установление работоспособности объекта верификации средствами вычислительной техники с использованием модели объекта. Процесс верификации позволяет выбрать рациональное техническое решение, провести оптимизацию по выбранному критерию. Если для верификации используется возможно полная модель объекта, то говорят о *параметрической верификации*. Для сложных объектов, к которым относится печатная плата или электронный модуль, модель, лежащая в основе параметрической верификации, может иметь чрезвычайно высокую сложность, а во многих случаях она не может быть получена. Кроме этого, сложная модель требует для анализа весьма больших вычислительных ресурсов. Поэтому рационально упростить модель объекта, например, рассмотрев отдельно тепловые и электродинамические процессы в печатном узле и печатной плате (при этом следует быть уверенным в слабом взаимодействии или полной независимости этих процессов). Для быстродействующих электронных модулей, реализованных на печатных платах, целесообразно использовать следующие типы верификации:

- параметрическая;
- временная;
- целостности сигнала;
- электромагнитной совместимости.

Рассмотрим их более детально.

Параметрическая верификация предполагает установление работоспособности устройства с учётом всех его схемотехнических и конструкторских параметров. Особенность процедуры верификации в данном случае заключается в комплексной модели, которая включает в себя: модель конструкции изделия и модель электрической схемы.

Построение полной электродинамической модели конструкции изделия представляет весьма сложную задачу. Поэтому в ряде случаев ограничиваются только моделью схемы, которая используется на этапе автоматизированного схемотехнического проектирования. При этом абстрагируются от физической конструкторской реализации этой схемы, что вносит существенные погрешности в результаты выполнения этапа параметрической верификации для быстродействующих печатных узлов.

Следует иметь в виду, что чем выше частотный диапазон сигналов, обрабатываемых проектируемым устройством, тем важнее иметь его адекватную модель конструкции.

Важно иметь в виду, что полная модель конструкции платы может быть получена только после завершения всех конструкторских работ при создании аппаратуры.

Во многих случаях точный учёт всех электрических параметров конструкции невозможен, поэтому ограничиваются приближёнными моделями, экспериментальными данными, эвристическими решениями и пр. Практически во всех случаях приходится использовать другие типы верификации.

Временная верификация является частным случаем параметрической верификации. Она применима к цифровым узлам.

Целью временной верификации является установление временных соотношений в системе между событиями срабатывания микросхем. При проектировании цифровых систем составляются временные диаграммы, которые жёстко связаны с осью времени. На этой оси фиксируются «события срабатывания» ИМС. Вся логика работы любого цифрового устройства жёстко и однозначно увязана с временными диаграммами. При этом все интервалы времени также очень точно определены. Совокупность задач при проектировании платы, решение которых направлено на поддержание заданных временных соотношений в цифровых схемах, называется *тайминг*.

В реальной ситуации необходимо дополнительно учитывать тонкие механизмы нарушения временных соотношений. Временная верификация, которая оперирует точными моделями линий и микросхем, позволяет оценить с повышенной точностью все временные соотношения в системе. В результате выполнения этапа временной верификации устанавливается работоспособность изделия, и при необходимости вносятся коррективы в предыдущие этапы проектирования.

Разработчики цифровых систем оперируют идеализированным представлением цифрового сигнала: либо прямоугольной, либо трапециевидальной формы. В реальной мире нет идеальных сигнала-

отладки прототипа. Кроме этого, именно виртуальный прототип позволяет реализовать упомянутую выше концепцию «сдвига влево».

Верификация в проектировании плат

Под верификацией будем понимать установление работоспособности объекта верификации средствами вычислительной техники с использованием модели объекта. Процесс верификации позволяет выбрать рациональное техническое решение, провести оптимизацию по выбранному критерию. Если для верификации используется возможно полная модель объекта, то говорят о *параметрической верификации*. Для сложных объектов, к которым относится печатная плата или электронный модуль, модель, лежащая в основе параметрической верификации, может иметь чрезвычайно высокую сложность, а во многих случаях она не может быть получена. Кроме этого, сложная модель требует для анализа весьма больших вычислительных ресурсов. Поэтому рационально упростить модель объекта, например, рассмотрев отдельно тепловые и электродинамические процессы в печатном узле и печатной плате (при этом следует быть уверенным в слабом взаимодействии или полной независимости этих процессов). Для быстродействующих электронных модулей, реализованных на печатных платах, целесообразно использовать следующие типы верификации:

- параметрическая;
- временная;
- целостности сигнала;
- электромагнитной совместимости.

Рассмотрим их более детально.

Параметрическая верификация предполагает установление работоспособности устройства с учётом всех его схемотехнических и конструкторских параметров. Особенность процедуры верификации в данном случае заключается в комплексной модели, которая включает в себя: модель конструкции изделия и модель электрической схемы.

Построение полной электродинамической модели конструкции изделия представляет весьма сложную задачу. Поэтому в ряде случаев ограничиваются только моделью схемы, которая используется на этапе автоматизированного схемотехнического проектирования. При этом абстрагируются от физической конструкторской реализации этой схемы, что вносит существенные погрешности в результаты выполнения этапа параметрической верификации для быстродействующих печатных узлов.

Следует иметь в виду, что чем выше частотный диапазон сигналов, обрабатываемых проектируемым устройством, тем важнее иметь его адекватную модель конструкции.

Важно иметь в виду, что полная модель конструкции платы может быть получена только после завершения всех конструкторских работ при создании аппаратуры.

Во многих случаях точный учёт всех электрических параметров конструкции невозможен, поэтому ограничиваются приближёнными моделями, экспериментальными данными, эвристическими решениями и пр. Практически во всех случаях приходится использовать другие типы верификации.

Временная верификация является частным случаем параметрической верификации. Она применима к цифровым узлам.

Целью временной верификации является установление временных соотношений в системе между событиями срабатывания микросхем. При проектировании цифровых систем составляются временные диаграммы, которые жёстко связаны с осью времени. На этой оси фиксируются «события срабатывания» ИМС. Вся логика работы любого цифрового устройства жёстко и однозначно увязана с временными диаграммами. При этом все интервалы времени также очень точно определены. Совокупность задач при проектировании платы, решение которых направлено на поддержание заданных временных соотношений в цифровых схемах, называется *тайминг*.

В реальной ситуации необходимо дополнительно учитывать тонкие механизмы нарушения временных соотношений. Временная верификация, которая оперирует точными моделями линий и микросхем, позволяет оценить с повышенной точностью все временные соотношения в системе. В результате выполнения этапа временной верификации устанавливается работоспособность изделия, и при необходимости вносятся коррективы в предыдущие этапы проектирования.

Разработчики цифровых систем оперируют идеализированным представлением цифрового сигнала: либо прямоугольной, либо трапецидальной формы. В реальной мире нет идеальных сигнала-

лов, а из-за ряда причин цифровой сигнал искажается по форме, и становится ближе к аналоговому сигналу.

Причины, вызывающие искажения сигнала, многочисленны и могут быть вызваны перекрестными помехами, отражениями от несогласованных нагрузок и т.п. *Верификация целостности сигнала* позволяет интегрировано проанализировать влияние всех значимых причин на форму сигнала, выявить причины недопустимых искажений и реализовать меры по их устранению. При анализе целостности сигнала могут быть решены и задачи тайминга.

Устаревшая стратегия проектирования, использующая физический прототип, была основана на экспериментальном определении искажений цифрового сигнала и поиску путей их устранения. Как отмечалось ранее, это приводило к длительным циклам создания прототипов, его исследования и переделок.

Создание виртуальных прототипов электронных модулей для решения задач верификации облегчает отладку устройства, но роль физического прототипа остается важной при отладке устройств в целом. Эта ситуация типична для настоящего времени (рис. 2).

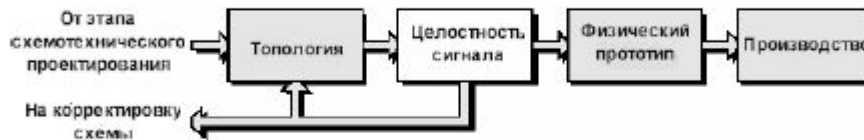


Рис. 2. Виртуальный прототип печатного узла и печатной платы в цикле создания изделия

В будущем по мере развития знаний в сфере описания электродинамических процессов в сложных средах, увеличения мощности вычислительных ресурсов удастся решить задачи параметрической верификации и заменить физический прототип виртуальным (рис. 3).

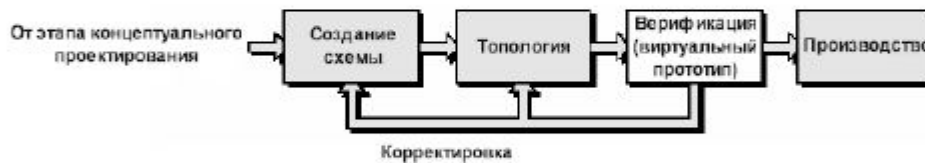


Рис. 3. Виртуальный прототип в цикле создания изделия.

Согласно концепции "сдвига влево", т.е. перенос верификации на более ранние стадии проектирования, верификация целостности сигнала может не выделяться отдельным этапом, а может интегрироваться процесс проектирования. Первым шагом в этом направлении является встраивание методов анализа целостности сигнала и ЭМС в процесс топологического проектирования. Это позволит вносить коррективы в размещение компонентов и трассировку непосредственно в ходе проектирования платы.

Дальнейшее развитие состоит в охвате верификацией (задачами ЭМС, тайминга и целостности сигнала) стадий схемотехнического и концептуального проектирования. Подобный интегрированный процесс создания электронных модулей, сокращает обратные связи между стадиями проектирования, что сокращает сроки проектирования и повышает качество проектных решений.

Вопросы ЭМС обязательны для анализа любой электронной аппаратуры, поскольку параметры ЭМС обязательны для сертификации готового изделия на соответствие стандартам ЭМС. Таким образом, верификация проектных решений при создании печатных плат и электронных модулей может быть представлена в виде, показанном на рис. 4.

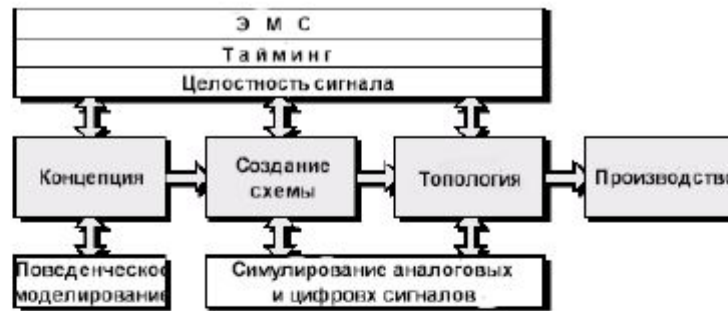


Рис. 4. Задачи параметрической верификации при проектировании печатных плат и печатных узлов

Раскроем содержание основных задач анализа и верификации, разработка которых и реализации в виде компонентов виртуальных прототипов различной степени адекватности, будет способствовать повышению качества проектирования, сокращения сроков разработки конкурентоспособных изделий.

Электромагнитная совместимость:

- уровень излучения от электронного модуля;
- кондуктивные помехи по шинам питания;
- восприимчивость к излучаемым помехам от внешних источников.

Тайминг:

- определение задержек распространения сигнала в линиях передачи;
- определение помех отражения и согласование линий передач;
- учет разности синхронных сигналов на выходах микросхемы;
- анализ влияния емкости и индуктивности печатных проводников на системную задержку.

Целостность сигнала:

- определение рациональной структуры многослойных печатных плат;
- анализ линий передач в виде дифференциальных пар;
- управление волновым сопротивлением линий передач;
- анализ перекрестных помех;
- анализ влияния нагрузки и согласования линии передачи;
- влияние "отрыва" заземления при работе цифровых микросхем;
- влияние потерь в линиях передачи печатных плат.

Результатами выполнения этих задач являются:

- для концептуальной стадии:
 - возможны рекомендации о реализуемости требований технического задания по быстродействию;
 - рекомендации по выбору материалов и технологии изготовления.
- для стадии схмотехнического проектирования:
 - уточнение требований к электрическим параметрам микросхем;
 - получение рекомендаций по установке помехоподавляющих элементов;
 - получение рекомендаций по выбору корпусов микросхем;
 - платы и сборки печатного узла.
- для стадии топологического проектирования:
 - выработка топологических норм и рекомендаций для трассировки платы;
 - получение данных для расположения компонентов на плате;
 - определение требований к шинам питания и заземления и рекомендации по их расположению;
 - определение структуры МПП;

- определение требованиям к экранам и их расположению.

Список литературы

1. Douglas Brooks. Signal Integrity Issues and Printed Circuit Board Design: Prentice Hall PTR. 2003 ISBN: 0-131-41884-X Pages: 432.
2. Intel/ Package Databook: 1 – Introduction, 2 – Package/Module/PC Card Outlines and Dimensions, 4 – Performance Characteristics of IC Packages
3. Printed Circuit Board Routing at the Threshold. Advanced Technology for the New Millennium 2000. Mentor Graphics. By Dave Wiens/
4. Happy Holden. HDI's Beneficial Influence on High-Frequency Signal Integrity. Mentor Graphics Corp., p. 1 – 1 – 12 p., p. 2 – 2 – 7p. Westwood Associates, West Haven, CT, USA.
5. Andrew J Burkhardt, Christopher S Gregg and J Alan Staniforth Calculation of PCB Track Impedance. 6 p.
6. Bill Hargin. 3,125 Gbps with your Hair on Fire Simulation-Based Signal-Integrity Analysis of Digital Interconnects at Multi-Gigabit Speeds High-Speed Systems Design Mentor Graphics Corporation
7. Matthew Hogan. Circuit Timing Analysis: Mastering A Lost Art Timing and Signal Integrity Technical Marketing Engineer for High-Speed Design Tools. September 2001.
8. Board Systems Design and Verification Mentor Graphics Corporation, 2001, 15 p.
9. Clive (Max) Maxfield, David Wiens, System Solutions: Redefining Systems Design for the Electronics Community Achieving New Levels of Performance, Quality, Scalability, and Affordability!. Mentor Graphics Corporation. TECH. PUB. September, 2000.
10. Matthew Hogan. Advanced Routing Techniques: The Importance of Timing. April 2003. Mentor Graphics Corporation 2003.
11. John Isaac, David Wiens. The Future of PCB Design, Mentor Graphics Corporation
12. Gene Garat, Eric Bogatin, Determining Deterministic Jitter. Mentor Graphics. February 2004.
13. Robin Getz, Bob Moeckel. Understanding and Eliminating EMI in Microcontroller Applications. National Semiconductor. Application Note 1050. August 1996, 28 p.
14. Electrical Performance of Packages. National Semiconductor. Application Note 1205. August 2001.

Акбашев Б.Б., Балюк Н.В.

Методический подход к обеспечению функциональной безопасности технических средств специальных технических зданий в условиях воздействия сверхкоротких электромагнитных полей

Рассматривается методический подход к решению проблемы функциональной безопасности телекоммуникаций в инфраструктуре специальных технических зданий (СТЗ). Приводятся экспериментальные данные по нарушению функции безопасности охраняемых объектов при воздействии сверхкоротких электромагнитных полей. Обсуждаются направления перспективных исследований по теории и практике обеспечения функциональной безопасности телекоммуникаций СТЗ.

Развитие технических систем идет по направлению расширенного применения электронных систем, построения комплексов по принципу «система в системе», применения роботизированных систем. Электронные системы на основе микроэлектроники позволяют с одной стороны снизить энергопотребление систем, уменьшить уровни помех, повысить быстродействие при обработке и передаче информации, а с другой стороны – обладают относительно низкой помехозащищенностью. Этот фактор становится все более актуальным, поскольку наличие широкого спектра электронных средств усложняет электромагнитную обстановку, в которой приходится функционировать электронным системам, увеличивает вероятность деструктивных воздействий на среду передачи