

<p>Научно-методический журнал «Информатизация образования и науки» № 4(20) / 2013</p> <p>Учредитель: Федеральное государственное автономное учреждение «Государственный научно- исследовательский институт информационных технологий и телекоммуникаций» (ФГАУ ГНИИ ИТТ «Информика») Министерства образования и науки Российской Федерации</p> <p>Редакция: Куракин Д.В. Аверенкова Е.Т. Гольшева Е.С. Кузнецова О.О. Лежнев И.Г.</p> <p>Тел. (499) 155-83-11; (499) 155-87-27</p> <p>Журнал включен в Перечень ведущих рецензируемых научных журналов и изданий ВАК</p> <p>Тираж журнала 500 экз.</p> <p>Зарегистрирован в Федеральной службе по надзору в сфере связи, информационных технологий и массовых коммуникаций (Свидетельство о регистрации средства массовой информации ПИ № ФС77-48849 от 7 марта 2012 г.)</p> <p>Подписной индекс 32788 в каталоге «Газеты. Журналы» ОАО Агентства «РОСПЕЧАТЬ»</p> <p>Отпечатано в типографии ФГАУ ГНИИ ИТТ «Информика» Адрес: 125009, Москва, Брюсов пер., д. 21</p> <p>По вопросам редакционной подписки обращаться по адресу: 125315, Москва, ул. Часовая, д. 21/Б, ком. 31</p>	<p style="text-align: center;">СОДЕРЖАНИЕ</p> <p>ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ</p> <p>Об архитектуре взаимодействия образовательных порталов и реляционных баз данных при помощи ORM-компонентов <i>Мельников С.В., Шемончук Д.С.</i> 3</p> <p>Облачные автономные грид-инфраструктуры для учебно-исследовательских и тестовых целей <i>Кутковский Н.А.</i> 15</p> <p>Информационные технологии для оценки компетенций и организации проектной деятельности при подготовке технических специалистов <i>Мозгалева П.И., Гуляева К.В., Замятина О.М.</i> 30</p> <p>Интеграция информационной системы текущих исследований с библиографическими и наукометрическими системами на основе технологий семантической паутины <i>Рычков В.Н., Копысов С.П.</i> 47</p> <p>СИСТЕМНЫЙ АНАЛИЗ, УПРАВЛЕНИЕ И ОБРАБОТКА ИНФОРМАЦИИ</p> <p>Разработка подхода к организации потоков данных в многопроцессорной вычислительной системе с кольцевой архитектурой <i>Леохин Ю.Л., Мягков А.С.</i> 58</p> <p>Оценка качества научно-технических документов на основе вычислительного анализа моделей семантики текстов на естественных языках <i>Крейнес М.Г., Афонин А.А., Крейнес Е.М.</i> 68</p> <p>Эволюционирующие агентно-ориентированные сети функциональных операторов <i>Механов В.Б., Зинкин С.А., Карамышева Н.С.</i> 95</p> <p>Новый критерий допустимости дихотомической матрицы ответов <i>Елисеев И.Н., Шрайфель И.С.</i> 113</p> <p>Демонстрация возможностей статистического анализа влияния методологий обучения на усвоение знаний <i>Кузнецов Л.А., Кузнецова В.Ф., Широков А.С.</i> 119</p> <p>Семейство моделей Раша для объективного измерения латентных переменных <i>Летова Л.В., Маслак А.А., Осипов С.А.</i> 131</p> <p>Программный инструментарий для обучения умениям концептуального анализа предметной области как основы технологии игрового проектирования баз знаний <i>Смирнов С.С., Мороз Ю.В.</i> 142</p>
--	--

<p align="center">Состав Редакционного совета научно-методического журнала «Информатизация образования и науки»</p>	<p>Об одном кардинальном алгоритме обработки экспертной информации на основе метода анализа иерархий <i>Ерасов И.В., Офицеров В.П.</i> 153</p>
<p>Боровская М.А. – ректор Южного федерального университета, д.э.н., доц.</p>	<p>Комплексное проектирование учебного процесса на основе кластерного метода <i>Махно А.С.</i> 162</p>
<p>Вислый А.И. – генеральный директор Российской государственной библиотеки, к.ф.-м.н.</p>	<p>УПРАВЛЕНИЕ В СОЦИАЛЬНЫХ И ЭКОНОМИЧЕСКИХ СИСТЕМАХ</p>
<p>Голубятников И.В. – ректор Московского государственного университета приборостроения и информатики, д.т.н., проф.</p>	<p>Интернет-экзамен для студентов при аттестации вуза <i>Карнаухов В.М.</i> 168</p>
<p>Зегжда П.Д. – заведующий кафедрой Санкт-Петербургского государственного политехнического университета, д.т.н., проф.</p>	<p>Применение электронной подписи в процессе размещения госзаказа в условиях современных информационных технологий в Российской Федерации <i>Баранова В.П.</i> 179</p>
<p>Ижванов Ю.Л. – первый заместитель директора по научной работе ФГАУ ГНИИ ИТТ «Информика», к.т.н., доц.</p>	<p>Обзор практик компьютерной визуализации и графического моделирования комплексных систем <i>Симонов А.В., Чиннова И.И.</i> 190</p>
<p>Казаков К.В. – директор ФГАУ ГНИИ ИТТ «Информика».</p>	<p>Формирование информационно-коммуникационной компетентности специалиста образовательного учреждения в системе повышения квалификации педагогических кадров <i>Филатова З.М.</i> 200</p>
<p>Куракин Д.В. – советник директора ФГАУ ГНИИ ИТТ «Информика», д.т.н., проф., главный редактор.</p>	
<p>Неустроев С.С. – первый заместитель директора ФГАУ ГНИИ ИТТ «Информика», д.э.н.</p>	
<p>Олейников А.Я. – главный научный сотрудник Института радиотехники и электроники РАН, д.т.н., проф.</p>	
<p>Рудской А.И. – ректор Санкт-Петербургского государственного политехнического университета, д.т.н., проф.</p>	
<p>Хади Р.А. – директор ФГАНУ НИИ «Спецвузавтоматика».</p>	
<p>Шахматов Е.В. – ректор Самарского государственного аэрокосмического университета им. академика С.П. Королева, д.т.н., проф.</p>	
<p>Шрайберг Я.Л. – генеральный директор Государственной публичной научно-технической библиотеки России, д.т.н., проф.</p>	

**РАЗРАБОТКА ПОДХОДА К ОРГАНИЗАЦИИ ПОТОКОВ ДАННЫХ В
МНОГОПРОЦЕССОРНОЙ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЕ С КОЛЬЦЕВОЙ
АРХИТЕКТУРОЙ**

**DESIGN APPROACHE TO DATA FLOWS IN A MULTIPROCESSOR COMPUTER
SYSTEM WITH A RING ARCHITECTURE**

Леохин Юрий Львович / Yury L. Leokhin,

*доктор технических наук, профессор, начальник отдела, Национальный исследова-
тельский университет «Высшая школа экономики» / Doctor of Technical Sciences, prof.,
head of department, National Research University Higher School of Economics (HSE),
yleokhin@hse.ru*

Мягков Андрей Сергеевич / Andrey S. Myagkov,

*аспирант, Национальный исследовательский университет «Высшая школа экономики»
/ Graduate student, National Research University Higher School of Economics (HSE),
myagkov.as@gmail.com*

Аннотация

Современные многопроцессорные вычислительные системы построены с использованием различных архитектур. В архитектуре кольца объединяются классические сетевые подходы к организации потоков данных и узкоспециальные. Статья посвящена разработке и исследованию методов регулирования потоков данных в таких системах, а также подходу к моделированию вышеуказанной архитектуры.

Abstract

Modern multiprocessor systems are built with the different architectures. The architecture of the ring unites classical approaches to the network data flows and highly specialized. The article is devoted to research and development the methods for regulating the flow of data in such systems, as well as the approach to the modeling of the above architecture.

Ключевые слова: многопроцессорная вычислительная система, кольцевая архитектура, моделирование, процессор.

Keywords: multi-processor computer system, ring architecture, modeling, processor.

Введение

В настоящее время в науке и индустрии наблюдается активное развитие

в области многопроцессорных вычислительных систем (МВС) [1, 2]. Стремительный рост доступности информационных технологий привел к увеличению общего числа конечных пользователей и персональных устройств [3]. Таким образом, у одного пользователя появилось несколько устройств, которым требуется обмениваться информацией между собой, а также с другими устройствами, что, в свою очередь, привело к развитию серверных технологий и появлению «облачных сервисов». Указанная отрасль быстро развивается в нескольких направлениях. В частности, в сфере мобильных устройств в 2011 г. начали появляться четырехъядерные микропроцессоры, а в сфере высокопроизводительных технологий все активнее разрабатываются многомодульные вычислительные системы. Все компании, занимающиеся разработкой таких систем, используют модульный принцип их построения. Важной задачей в области проектирования многопроцессорных систем является создание конечной структуры МВС для эффективного выполнения конкретной задачи, а не разработка конкретного процессора (рынок процессоров принадлежит Intel, AMD и ARM). В связи с этим актуальным является решение двух проблем: каким образом спроектировать интер-

коннект (межпроцессорных и межпериферийных соединений); каким образом организовать работу в спроектированном интерконнекте.

Компании, занимающиеся созданием высокопроизводительных систем, закрывают свои исследования и разработки. Это составляет коммерческую тайну. Лишь небольшое количество статей, посвященных работам в этой области, опубликовано в открытой печати. Большинство типов многомашинных архитектур описано достаточно давно. Однако анализ показал, что в настоящее время не создано универсальных многопроцессорных систем на основе стандартных ядер. Это обусловлено следующими проблемами: во-первых, отсутствие открытых научных разработок; во-вторых, компаниями недооценивается перспектива развития универсальных многопроцессорных систем на основе уже созданных процессоров.

Как показывает опыт проектирования МВС, наиболее трудоемкими являются этапы по синтезированию архитектуры межпроцессорных соединений (МПС) и созданию методов регулирования потоков данных в таких системах. Ошибки, допущенные на начальном этапе проектирования, наносят суще-

ственный экономический вред при разработке проекта. Поэтому описание, исследование и создание новых методов регулирования потоков данных на различных архитектурах МПС является актуальным направлением исследования.

1. Анализ существующих методов организации потоков данных в МВС с кольцевой архитектурой

В качестве исследуемой архитектуры была выбрана кольцевая архитектура (рис. 1) МПС. Данная система предназначена для выполнения задач, требующих многопоточных вычислений при доступе к общей памяти. Вычислительная система состоит из двух независимых коммутирующих сред, соединенных между собой. Эти коммутирующие кольца объединяют процессорные блоки и блоки оперативной памяти. Процессорные блоки имеют кэш-память второго уровня, между коммутационными средами имеется когерентная кэш-память 3-го уровня с интегрированной директорией.

Маршрутизаторы в коммутационных средах объединены в двунаправленное кольцо (рис. 2), запросы передаются с помощью групп пакетов заданной ширины.

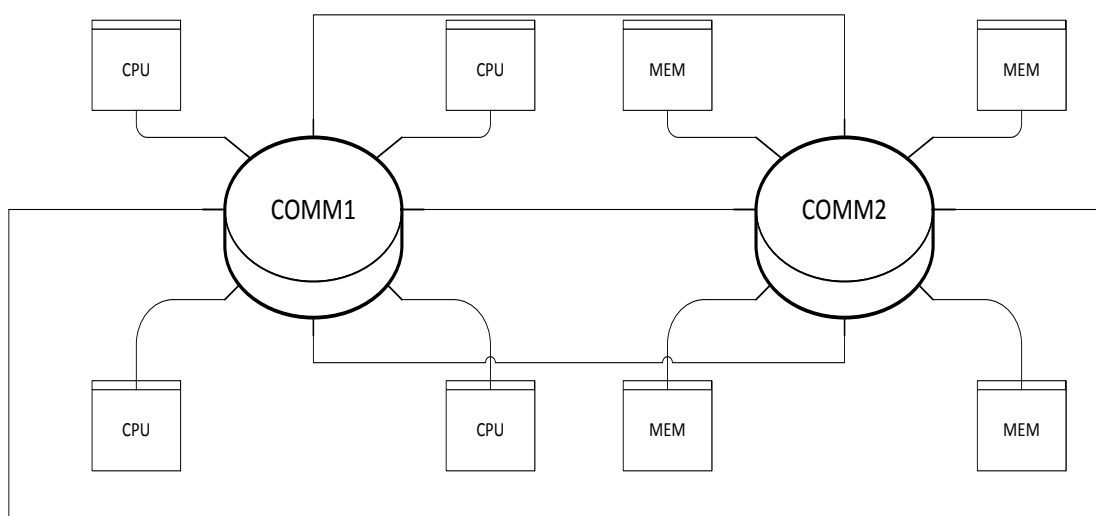


Рис. 1. Схема компонентов МПС с кольцевой архитектурой

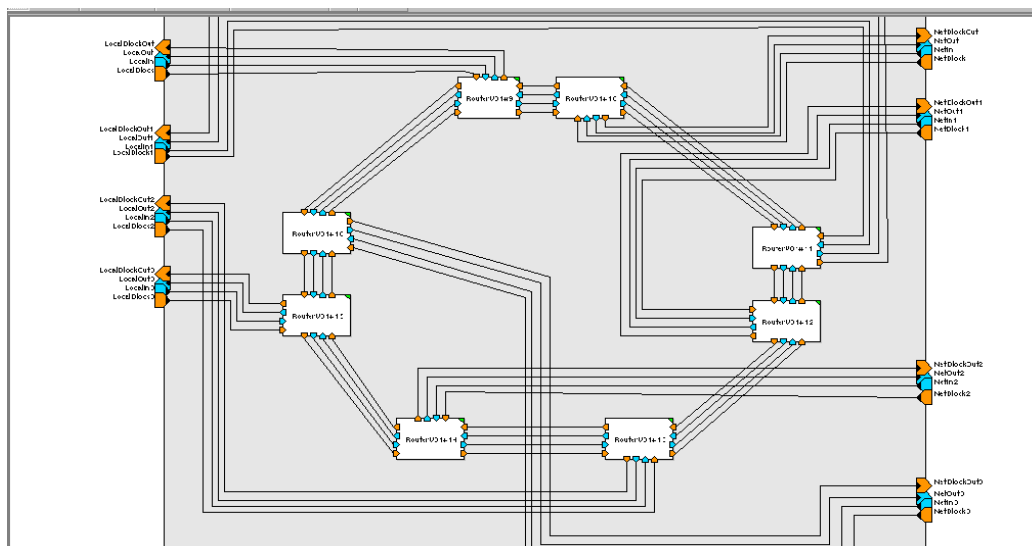


Рис. 2. Структура кольца моделируемой системы в САПР MLDesigner

Рассмотрим два основных метода организации потоков данных, которые можно применить на исследуемой системе [4, 5]:

- маркерный метод;
- кредитный метод.

2. Маркерный метод

Маркерный (эстафетный) метод применяется в кольцевых сетях. Используется в таких компьютерных сетях, как Token Ring и FDDI. Суть метода заключается в том, что маршрутизаторы в кольцевой среде по очереди передают маркер от одного к следующему. Например, маршрутизатор 1, желающий передать свой пакет, должен дождаться прихода к нему свободного маркера. Затем он присоединяет к маркеру свой пакет, помечает маркер как занятый и отправляет эту посылку следующему по кольцу маршрутизатору. Все остальные маршрутизаторы, получив маркер с присоединенным пакетом, проверяют, им ли адресован пакет. Если пакет адресован не им, то они передают полученную посылку (маркер + пакет) дальше по кольцу. Если какой-то абонент распознает пакет как адресованный ему, то он его принимает, устанавливает в маркере бит подтверждения приема и передает посылку (маркер + пакет) дальше по кольцу. Передававший маршрутизатор 1 получает свою посылку,

прошедшую по всему кольцу обратно, помечает маркер как свободный, удаляет из сети свой пакет и посылает свободный маркер дальше по кольцу. Абонент, желающий передавать, ждет этого маркера, затем все повторяется снова. Такой метод обеспечивает гарантированное время доступа (максимальное $(N-1) \cdot t_{пк}$, где: N – полное число абонентов в сети; $t_{пк}$ – время прохождения пакета по кольцу). Тем не менее такой метод представляется не таким эффективным, так как в один момент по сети передается только один пакет.

3. Кредитный метод

Одним из самых популярных методов организации трафика является кредитный метод (credit-based) (рис. 3). В начале работы (и периодически для корректировки) маршрутизатором передается на предыдущий арбитр маршрутизатора количество свободных мест (так называемых кредитов) во входной очереди. Маршрутизаторы работают асинхронно. Перед принятием решения, из какой очереди отправлять пакет и отправлять ли вообще, арбитр маршрутизатора каждый раз принимает решение, отталкиваясь от сведений об оставшихся кредитах. Если число кредитов $C_r=0$, то маршрутизатор не передает данные дальше. Если $C_r>1$, то маршрутизатор передает данные по-

ременно: то из одной очереди, то из другой. При этом уменьшает кредит следующего на 1. Если текущее сообщение отправлено из очереди с предыдущего маршрутизатора, то маршрутизатор посылает ответ о том, что необходимо прибавить 1 к кредиту ($Cr=Cr+1$). Если $Cr=1$, то пакет отправляется только из очереди от предыдущего маршрутизатора. Аналогично работает двунаправленное кольцо.

Оба метода имеют свои преимущества. Маркерный метод не требует внутреннюю буферную память больших размеров на маршрутизаторах для передачи данных. На каждом маршрутизаторе необходим объем буфера только для маркера и для самого пакета. Тем не менее при таком подходе не используются в полную силу маршрутизаторы. В каждый момент эффективно использу-

ется только один маршрутизатор, а остальные находятся в состоянии ожидания. Кредитный же метод использует маршрутизаторы в полном объеме, но, во-первых, он использует встроенную память на маршрутизаторах, что удорожает стоимость и размеры коммутирующих колец. Во-вторых, в такой системе организации трафика возможно появление так называемых дедлоков (deadlock) – конфликтов, возникающих при заполнении буферов маршрутизаторов. Кроме того, не гарантировано время нахождения пакета в коммутационной сети. В связи с указанными недостатками предлагается использовать синхронный метод организации потоков данных. В данном методе предлагается объединить достоинства вышеуказанных методов, минимизировав недостатки.

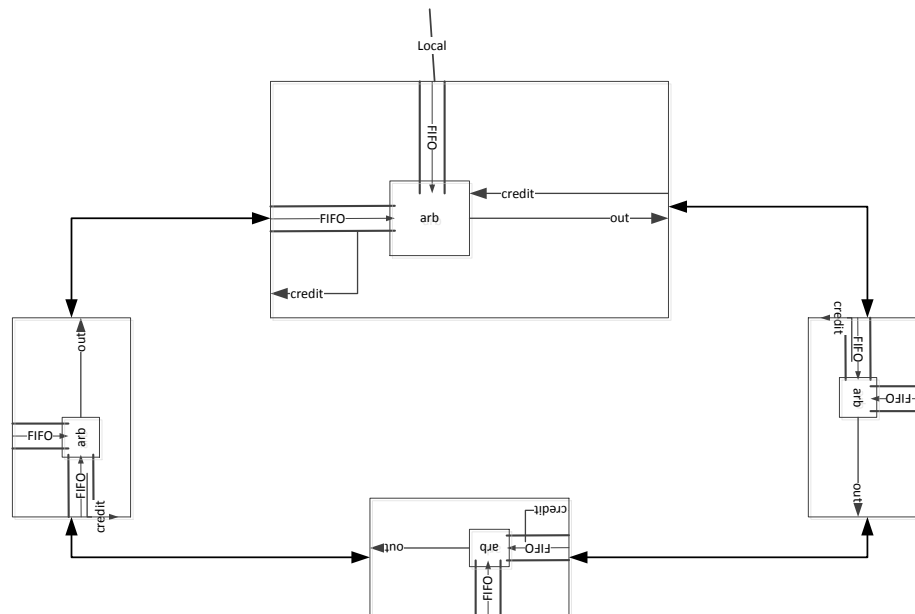


Рис. 3. Структура коммутирующей среды при кредитной организации трафика

4. Синхронный метод

В этом методе [6, 7, 8] (рис. 4) предлагается объединить достоинства вышеуказанных методов, минимизировав недостатки. Метод заключается в синхронной организации потоков данных и синхронном движении пакетов по кольцу. При таком подходе кольцо

можно сравнить с вращающейся шестеренкой, в свободные отверстия которой попадают свободные пакеты и движутся по кольцу. В каждый такт такого синхронного движения арбитр проверяет наличие входного пакета с предыдущего маршрутизатора и при его отсутствии направляет пакет с локального буфера в

отправитель. Таким образом, коммутационные модули избавляются от буферов, необходимых для хранения многих пакетов в кольце. В такой схеме существует проблема неравномерного до-

ступа к кольцу. В данном случае эта проблема решается на уровне арбитра, прекращающего передачу при установленном лимите непрерывных передач.

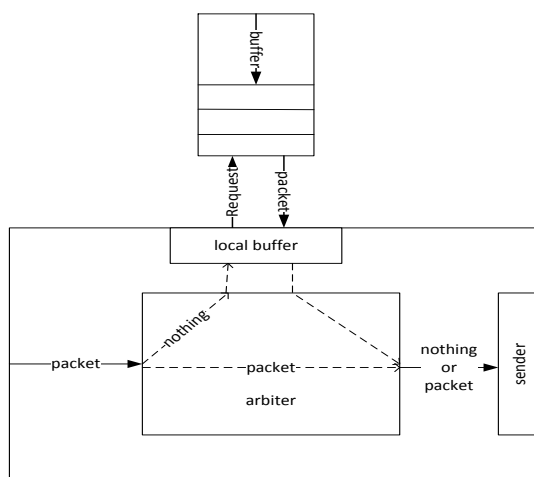


Рис. 4. Схема коммутационного модуля при использовании синхронной схемы

5. Моделирование методов

Целью моделирования служит выявление оптимального подхода к организации потоков данных в этой архитектуре. Задачи были поставлены следующие.

Формализация моделируемой системы: описание системы, выбор ограничений и абстракций, создание модели. Следующими задачами были описание и реализация методов организации потоков данных на модели. Затем необходимо было выбрать критерии для сравнения и анализа моделируемых методов.

Для решения поставленных задач используется техника ESL (ElectronicSystemLayer). ESL – это методология разработки и анализа комплексных систем: приборов, систем на кристалле, ПЛИС и др. Данная методология охватывает разработку, отладку и верификацию программной и аппаратной части на высоком уровне абстракции без привязки к ее непосредственной аппаратной и программной реализации. В качестве системы моделирования использовалась

САПР MLDesigner. Данная САПР позволяет использовать примитивы, написанные на C, C++, Tcl/Tk, а также модули, собранные из примитивов других модулей. Также имеется возможность создавать собственные модули. В MLDesigner предполагается использовать множество моделей вычисления (доменов): SDF, DE, FSM, DDF. В ходе работы используется метод дискретно-событийного моделирования.

6. Описание моделируемой системы, ограничений и абстракций, заложенных в модели (аппаратная часть)

Моделируемая система (рис. 5), описываемая в данной статье, реализована с помощью САПР MLDesigner. В ходе создания модели были собраны коммутационные модули, процессорные блоки, блоки кэш-памяти, блоки оперативной памяти [9]. Блоки ЦП выступают в роли генераторов трафика: процессор с заданной частотой генерирует запросы на чтение к памяти.

В модели возможно варьировать следующие параметры:

- тактовая частота всех компонентов системы: 500, 750, 1000 МГц;
- частота (темп) выдачи запросов процессором в коммуникационную среду (зависит от конкретного приложения и размера L2 кэша): 1 запрос в 10, 100, 500 и 1000 тактов;
- вероятность промаха в L3 кэш-памяти (зависит от размеров L2 и L3, не зависит от номера запрашивающего процессора): 20%,...,40%;
- максимальное количество исполняемых (outstanding) запросов, выдаваемых процессором: 27 (16 на запись и 11 на чтение);
- длина данных каждого исполняемого запроса, выдаваемого процессором: 1,...,4 для 128-битных запросов;
- максимальное количество исполняемых запросов для всех интерфейсов коммуникационной среды: 1, 2, 3, 4, 8, 16, 32, 64;
- размер буфера данных в маршрутизаторах коммуникационной среды: 1, 2, 3, 4, 8, 16, 32, 64;
- латентность кэш-памяти: 20,...,50 циклов;
- латентность основной памяти: 100,...,500 циклов;
- ширина шины данных: 64, 128, 256.

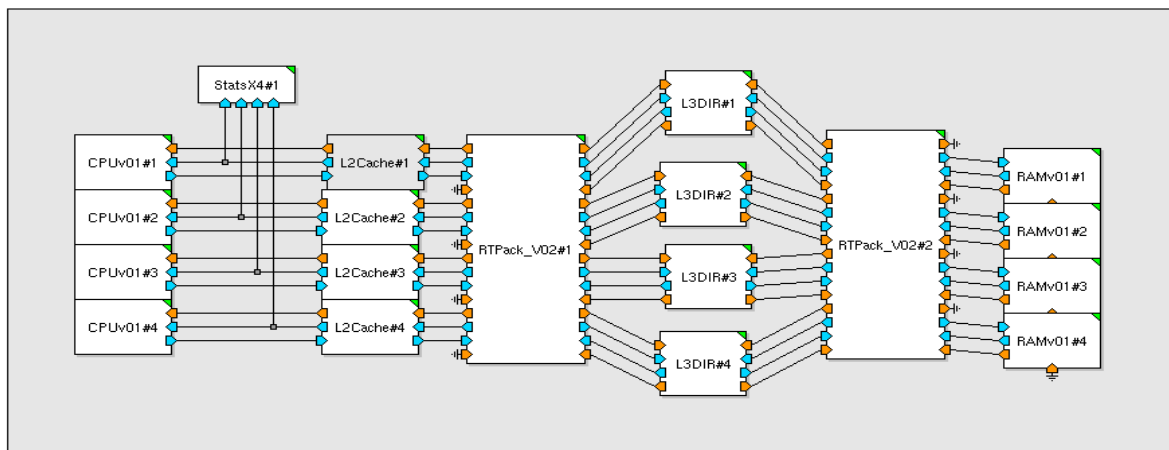


Рис. 5. Модель системы, реализованная в САПР MLDesigner

7. Описание моделируемых методов (программная часть)

Операция чтения включает в себя следующие этапы (рис. 6):

1. Перед отправлением запроса на чтение процессор i ведет себя в соответствии с одним из двух вариантов:

а. Локальная L2 кэш-память имеет свободную кэш-линию для принятия данных с вероятностью $1 - P_{L2evict}$.

б. L2 кэш не имеет свободной кэш-линии с вероятностью

$P_{L2evict}$.

Тогда L2 кэш инициирует операцию выталкивания (eviction) кэш-линии.

2. Процессор i отправляет запрос на чтение кэш-линии в директорию j . Директория хранит информацию о том, в каком состоянии находится эта кэш-линия в L2 кэшах. Так как L3 кэш-память является инклюзивной, есть две возможности:

а. L3 кэш-память содержит необходимые данные с вероятностью P_{L3hit} , которые находятся в одном из двух состояний:

- i. L3 кэш содержит самую новую либо единственную копию данных с вероятностью $1 - P_{L3stale}$. Тогда эти данные возвращаются запрашивающему процессору i .
 - ii. L3 кэш содержит устаревшую копию данных с вероятностью $P_{L3stale}$. Тогда директория посылает запрос на обновление данных процессору i' (где $i' \neq i$). Процессор i' возвращает директории самую новую копию данных. Директория пересылает эти данные процессору i .
- б. L3 кэш не содержит необходимых данных с вероятностью

$$P_{L3miss} = 1 - P_{L3hit}$$

Тогда L3 кэш ведет себя в соответствии с одним из двух вариантов:

- i. L3 кэш-память имеет свободную кэш-линию для принятия данных с вероятностью $1 - P_{L3evict}$.
- ii. L3 кэш не имеет свободной кэш-линии с вероятностью $P_{L3evict}$. Тогда L3 кэш инициирует операцию выталкивания (eviction) кэш-линии.

Далее директория посылает запрос в основную память k . Память возвращает директории запрашиваемые данные, а директория перенаправляет их запрашивавшему процессору i .

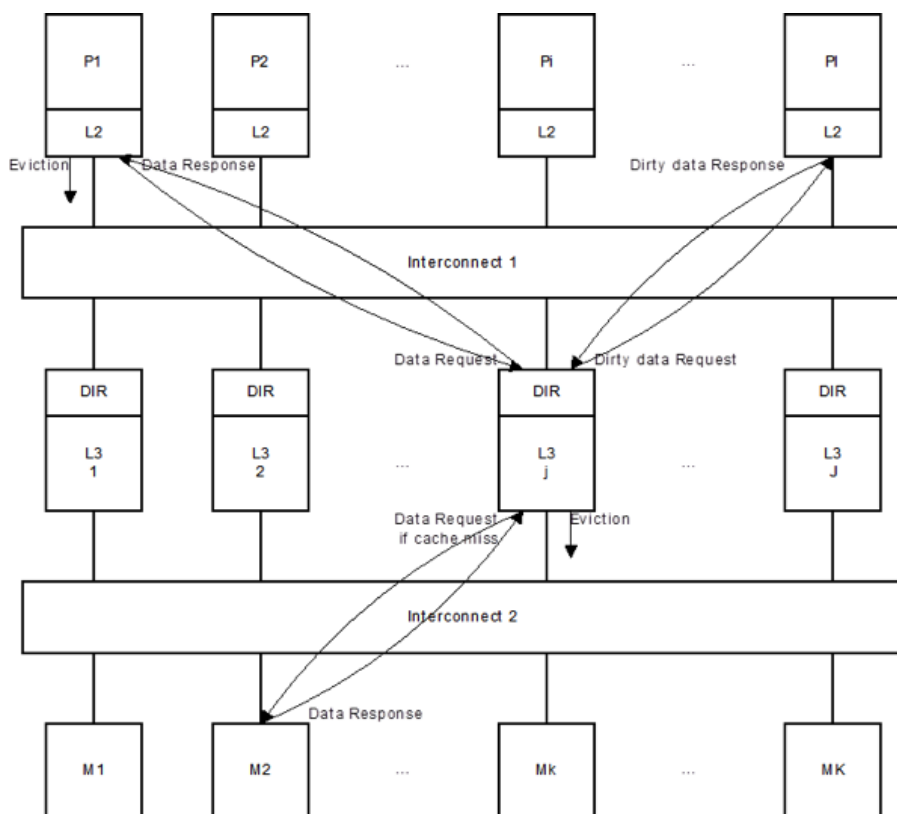


Рис. 6. Схема алгоритма чтения

8. Критерии сравнения

- Продолжительность (время) эксперимента по пересылке какого-то количества транзакций.

- Динамическая средняя/максимальная/минимальная продолжительность транзакций для каждого инициатора. То есть все время экспе-

римента делится на несколько «окон» по N тактов в каждом и снимаются показатели ср/макс/мин продолжительности транзакций внутри окна.

- Динамическая утилизация интерфейсов и каналов связи. Утилизация равна отношению циклов, во время которых интерфейс имеет данные для передачи и запрашивает для этого ресурсы, к общему количеству циклов.

- Динамическая эффективная утилизация интерфейсов и каналов связи. Эффективная утилизация равна отношению циклов, во время которых интерфейс передает данные, к общему количеству циклов.

- Динамическая пропускная способность как отдельных узлов, так и всей коммуникационной среды в целом. Пропускная способность – количество транзакций в единицу времени.

Моделирование призвано оценить оптимальные значения следующих параметров:

1. Архитектура коммуникационной среды (топология, ширина и количество каналов связи, тактовая частота, размеры буферов данных внутри маршрутизаторов).

2. Архитектура сетевых интерфейсов (тактовая частота, максимальное количество исполняемых запросов, ширина интерфейса).

3. Соотношение L2 и L3 кэш-памяти и тип протокола когерентности.

9. Результаты моделирования

Во время моделирования исследовались и сравнивались два метода: метод кредитной организации доступа и предложенный синхронный метод.

На графиках (рис. 7 и 8) показана динамическая эффективная утилизация кольца (в зависимости от времени) при следующих параметрах:

- задержка памяти (CAS-Latency) в 1000, 500, 200, 100 в циклах;
- неизменная частота запросов процессора (1 запрос в 200 тактов);
- тактовая частота процессора 1,4 ГГц;
- частота работы коммуникационных колец в 1 ГГц;
- кэш-попадание в 80%.

Анализ графиков показывает, что в обоих методах средняя динамическая утилизация соотносима. Это видно из результатов по динамической пропускной способности. Результаты по распределению количества запросов на чтение из памяти от времени их исполнения различаются незначительно. Среднее время жизни пакета при кредитной организации трафика отличается не более чем на 8% от времени жизни пакета при синхронной организации трафика. Такие параметры производительности достигаются при разнице объема буферов в 1.7 раза.

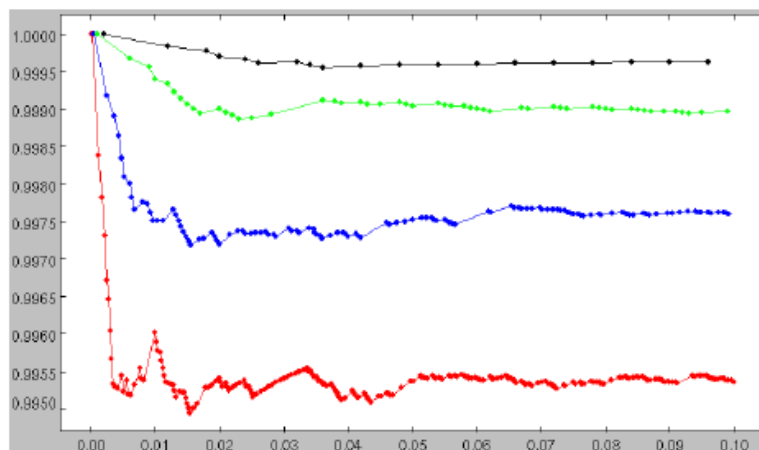


Рис. 7. Динамическая средняя эффективная утилизация при кредитном методе

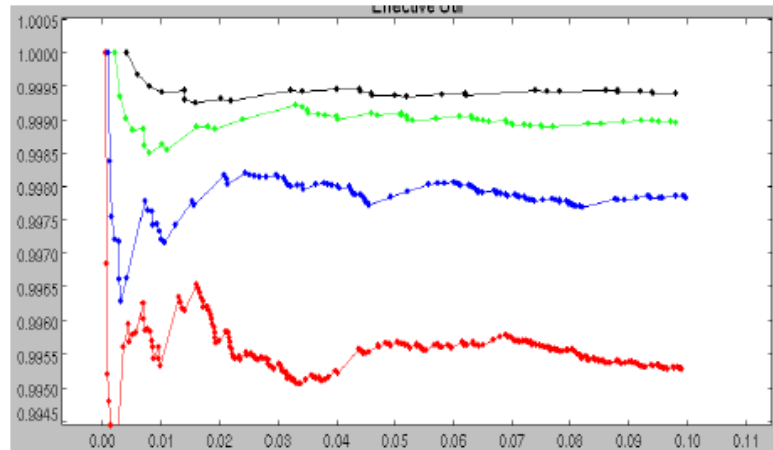


Рис. 8. Динамическая средняя эффективная утилизация при синхронном методе

Выводы

В ходе исследования методов организации потоков данных в многопроцессорной вычислительной системе с кольцевой архитектурой произведено параметрическое моделирование этих методов, а также выявлен метод, упрощающий аппаратную часть системы при схожих результатах. Такие упрощения, как уменьшение количества и объема

буферов в коммутирующих кольцах, а также упрощение логики арбитража приводят к уменьшению и удешевлению разрабатываемых межпроцессорных и межпериферийных коммутационных решений.

Исследование осуществлено в рамках Программы фундаментальных исследований НИУ ВШЭ в 2013 г.

Литература

1. Абрамов А.Г., Булгаков М.В., Иванников А.Д., Сигалов А.В. Федеральный портал «Информационно-коммуникационные технологии в образовании»: пять лет в образовательном РУНЕТе // Дистанционное и виртуальное обучение. – 2009. – № 3. – С. 14 – 30.
2. Булгаков М.В., Гридина Е.Г., Иванников А.Д., Старых В.А. Федеральная система информационно-образовательных ресурсов // Информационные ресурсы России. – 2009. – № 2. – С. 25 – 27.
3. Иванников А.Д., Тихонов А.Н., Цветков В.Я. Критерии готовности к использованию информационных технологий // Международный журнал прикладных и фундаментальных исследований. – 2009. – № 3. – С. 84 – 85.
4. Кондратенко Н.Б. Пакеты, протоколы и методы управления обменом / Национальный Открытый Университет «ИНТУИТ», 2005. – Лек. 4. – С. 7 / [Электронный ресурс]. – Режим доступа: URL: <http://www.intuit.ru/studies/courses/57/57/lecture/866?page=7>.
5. Bensaou Brahim, Danny H.K. Tsang, King Tung Chan. – Credit-based fair queueing (CBFQ): a simple and feasible scheduling algorithm for packet networks, «Credit-based fair queueing (CBFQ): a simple and feasible scheduling algorithm for packet networks», IEEE ATM '97 Workshop Proceedings, Lisboa, Portugal. – 25 – 28 May. – 589 – 94, doi:10.1109/ATM.1997.624744, ISBN 0-7803-4196-1.
6. Мягков А.С., Сельменев Е.А., Осипенко П.Н., Амосов И.Г. Моделирование многопроцессорной системы типа Network-On-Chip (сеть на кристалле) в САПР MLDesigner: Сб. статей по материалам региональной науч.-практич. конф. «Многоядерные процессоры и параллельное программирование», 2011.

7. Мягков А.С. Моделирование многопроцессорной системы типа Network-on-Chip (сеть на кристалле) в САПР MLDesigner: Тез. докл.: Ежегодная науч.-техн. конф. студентов, аспирантов и молодых специалистов МИЭМ, 2011.

8. Мягков А.С. Построение обратного индекса в парадигме mapreduce на модели многопроцессорной системы: Тез. докл.: Ежегодная науч.-техн. конф. студентов, аспирантов и молодых специалистов МИЭМ НИУ ВШЭ, 2012.

9. Мягков А.С. Особенности ESL-моделирования многопроцессорной системы: Тез. докл.: Ежегодная науч.-техн. конф. студентов, аспирантов и молодых специалистов МИЭМ НИУ ВШЭ, 2013.