

Тип, ёмкость и быстродействие основной памяти (ОП)

Как правило в ВС основная (оперативная) память ОЗУ (оперативное запоминающее устройство) строится на динамических запоминающих устройствах (DDR SDRAM или просто DDR, сейчас самые распространенные ОЗУ DDR3 или DDR4). Все характеристики памяти можно определить, используя специальные утилиты, например AIDA64 [19, 20], CPU-Z [21], и другие [22]. К таким характеристикам относятся следующее.

- Тип и принцип действия,
- ёмкость памяти,
- напряжение питания,
- производительность, которая определяется рядом параметров (частота, тайминги, латентность, пропускная способность)
- ...

64 AIDA64 Engineer

Файл Вид Отчёт Избранное Сервис Справка

Отчёт

Меню Избранное

64 AIDA64 v5.97.4600

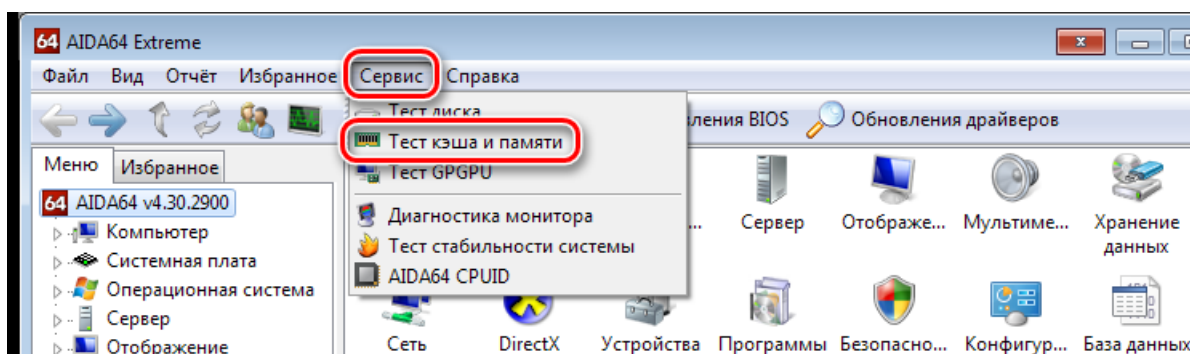
- Компьютер
- Системная плата
 - ЦП
 - CPUID
 - Системная плата
 - SPD**
 - Диспетч
 - BIOS
 - ACPI
- Операционная система
- Сервер
- Отображение
- Мультимедиа
- Хранение данных
- Сеть
- DirectX
- Устройства
- Программы
- Безопасность
- Конфигурация
- База данных
- Тест

Описание устройства

DIMM3: Samsung M471B5273DH0-CK0

Поле	Значение
Свойства модуля памяти	
Имя модуля	Samsung M471B5273DH0-CK0
Серийный номер	B32E492Bh (726216371)
Дата выпуска	Неделя 34 / 2012
Размер модуля	4 Гб (2 ranks, 8 banks)
Тип модуля	SO-DIMM
Тип памяти	DDR3 SDRAM
Скорость памяти	DDR3-1600 (800 МГц)
Ширина модуля	64 bit
Напряжение модуля	1.5 V
Метод обнаружения ошиб...	Нет
Частота регенерации	Норма (7.8 us)
Производитель DRAM	Samsung
Тайминги памяти	
@ 800 МГц	11-11-11-28 (CL-RCD-RP-RAS) / 39-128-5-12-6-6-24 (RC-RFC-RRD-...
@ 761 МГц	10-10-10-27 (CL-RCD-RP-RAS) / 37-122-5-12-6-6-23 (RC-RFC-RRD-...
@ 685 МГц	9-9-9-24 (CL-RCD-RP-RAS) / 33-110-5-11-6-6-21 (RC-RFC-RRD-WR-...
@ 609 МГц	8-8-8-22 (CL-RCD-RP-RAS) / 30-98-4-10-5-5-19 (RC-RFC-RRD-WR-...
@ 533 МГц	7-7-7-19 (CL-RCD-RP-RAS) / 26-86-4-8-4-4-16 (RC-RFC-RRD-WR-W...
@ 457 МГц	6-6-6-16 (CL-RCD-RP-RAS) / 22-74-3-7-4-4-14 (RC-RFC-RRD-WR-W...
@ 380 МГц	5-5-5-14 (CL-RCD-RP-RAS) / 19-61-3-6-3-3-12 (RC-RFC-RRD-WR-W...
Функции модуля памяти	
<input type="checkbox"/> Auto Self Refresh (ASR)	Не поддерживается
<input checked="" type="checkbox"/> DII -Off Mode	Поддерживается

Для определения скоростных показателей памяти (и шины памяти) можно использовать теоретические расчеты или тесты той же утилиты AIDA64. Для этого нужно выбрать режим «Сервис/Теста кэша и памяти».



Важной характеристикой схемы памяти является латентность – задержка памяти, это время между передачей запроса с адресом ячейки памяти и моментом выдачи считываемых данных на выходную шину памяти. Латентность памяти определяется её техническими характеристиками, рассчитывается для 1 конкретного обращения и не зависит от количества модулей/каналов памяти. Для схем оперативной памяти эти характеристики отражены в таймингах.

Тайминги – это временные интервалы, определяющие длительность важных периодов работы схемы памяти и отображаемые цифрами, разделенными дефисом (см. рис выше). И хотя тайминги – это технические константы, они могут отображаться разной величиной для одной и той же схемы, т.к. указываются не в секундах, а в тактах шины, на которой сейчас работает схема ОП и которая может быть различной.

Например, на рисунке выше мы видим, что при тактовой частоте $f=800$ МГц ($800 \times 10^6 \frac{\text{ТАКТОВ}}{\text{сек}}$) первый тайминг CL (CAS Latency) равен 11 тактов.

Можно увидеть, что для обозначения частот используется два значения: 1600 МГц и 800 МГц. Второе значение – это рабочая частота схемы и шины памяти, а первая – это частота передачи данных (для DDR – double data rate характеризуется удвоенной скоростью передачи данных). При указанной рабочей тактовой частоте (на которой и работают все внутренние элементы схемы памяти), длительность одного такта составляет:

$$T = \frac{1}{f_{\text{ш}}} = \frac{1}{800 \cdot 10^6} = 1,25 \cdot 10^{-9} \text{ с.}$$

А латентность (точнее её минимально возможное значение составит

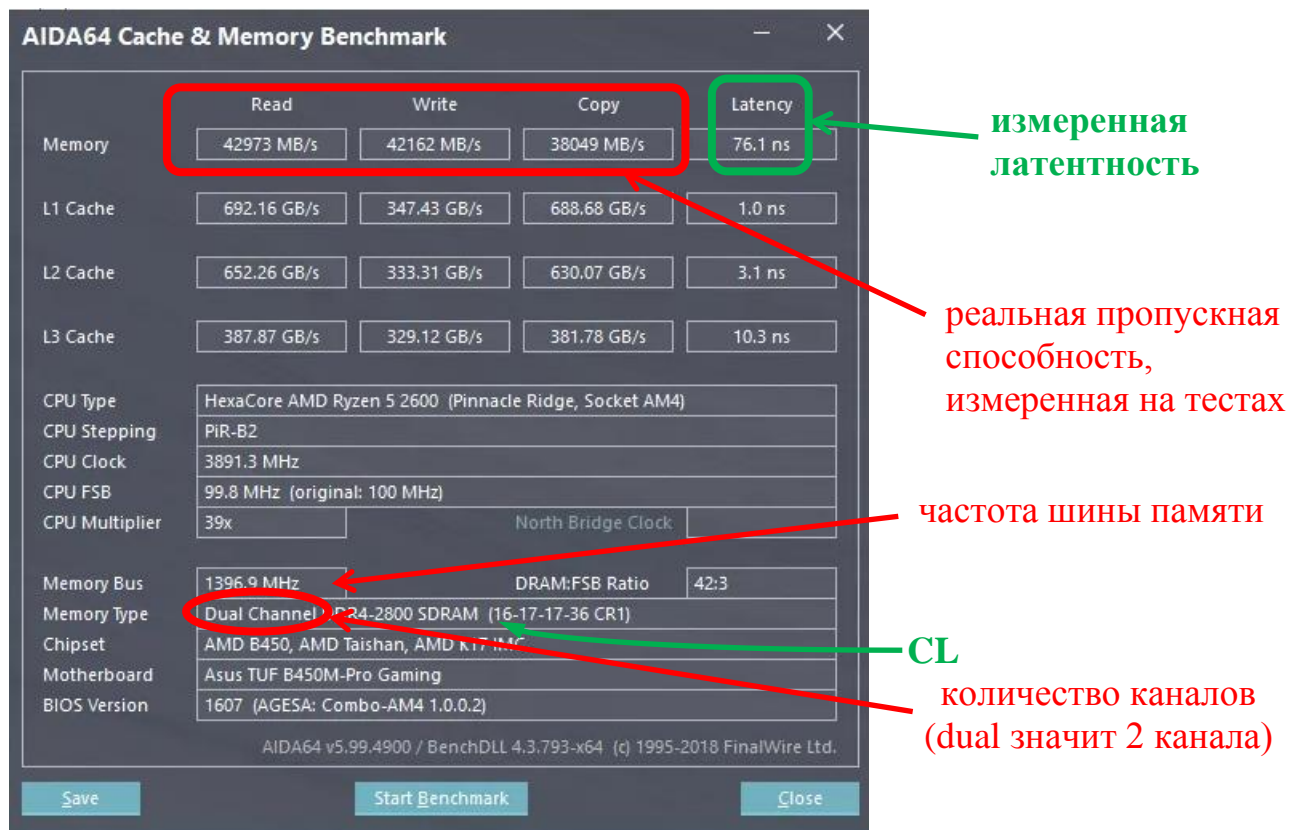
$$t_{CL} = 11 \cdot 1,25 \cdot 10^{-9} = 13,75 \text{ нс.}$$

И, как всегда, в реальности это время может значительно увеличиться, потому что, вообще говоря, длительность операции считывания данных зависит ещё и от местоположения (адреса) данных и от адреса предыдущего обращения. Цикл обращения к ОП за чтением данных может состоять из нескольких последовательных операций:

- передача адреса строки,
- открытие строки и передача адреса столбца,

- считывание данных в буфер и выдача на шину.

Если два последовательных обращения происходят в одну и ту же строку, то задержка в выдаче данных минимальная (близка к теоретически расчетной латентности), иначе в задержке учитываются и другие тайминги, что её увеличивает.



Рассчитаем минимальную латентность для рисунка выше. Рабочая тактовая частота (частота шины памяти) составляет $f_{ш}=1396,9$ МГц $\approx 1,4 \times 10^9 \frac{\text{тактов}}{\text{сек}}$. первый тайминг CL равен 16 тактов. При указанной тактовой частоте латентность $t_{CL} = 17 \cdot \frac{1}{f_{ш}} = \frac{17}{1,4 \cdot 10^9} = 12,14$ нс. А реально измеренная средняя задержка на тестах – 76,1 нс (см. рис ниже).

Хотя в настройках теста можно выбрать измерения при разных методах формирования тестовых запросов к памяти: случайный доступ, псевдослучайный доступ, последовательный доступ с увеличением адресов, последовательный доступ с уменьшением адресов (см. рис. ниже).