

УДК 621.382

РАСЧЕТ ЗАДЕРЖЕК И ПОТЕРЬ НАПРЯЖЕНИЯ В МЕЖСОЕДИНЕНИЯХ БИС С ПОМОЩЬЮ КОМПАКТНОЙ ЭЛЕКТРОТЕПЛОВОЙ SPICE-МОДЕЛИ

К. О. Петросянц, профессор МИЭМ НИУ ВШЭ, д.т.н., профессор; kpetrosyants@hse.ru

Е. И. Батареева, аспирант МИЭМ НИУ ВШЭ; yelg@yandex.ru

Н. И. Рябов, доцент МИЭМ НИУ ВШЭ, к.т.н., доцент; nryabov1954@gmail.com

Неравномерный нагрев линий межсоединений приводит к искажению передаваемых сигналов, в частности, к увеличению времени задержки.

Цель работы – разработка программы расчёта параметров модели межсоединения (сопротивлений и ёмкостей) в зависимости от температуры в точках межсоединения. Для достижения поставленной цели в работе ставится задача создания программного обеспечения для моделирования задержек в межсоединениях СБИС с учётом температурных эффектов. Используется модель межсоединения в виде распределённой RC-цепи, параметры которой зависят от распределения температуры на поверхности кристалла, которое рассчитывается с помощью разработанной авторами программы «Перегрев–МС». С учетом распределения температуры вдоль межсоединения рассчитываются параметры его модели – сопротивления и ёмкости звеньев RC цепи, что позволяет учитывать влияние неравномерного разогрева кристалла на электрические свойства межсоединения. Для упрощения модели межсоединений и уменьшения времени счета многозвенная RC-модель редуцирована в компактную П-образную эквивалентную схему с температурно-зависимыми параметрами. Показано, что погрешность по амплитуде сигнала при переходе к П-образной схеме составляет не более 7 %, по фазе 2 %. При этом время счета сокращается на 25-30 %.

Ключевые слова: межсоединения БИС, редукция, электротепловая модель, задержка сигналов в межсоединениях.

DOI: 10.21667/1995-4565-2017-62-4-89-94

Введение

Неравномерный нагрев линий межсоединений приводит к искажению передаваемых сигналов, в частности, к увеличению времени задержки, что может вызвать рассогласование сигналов во времени. Распределение температуры в линии межсоединения обусловлено как неравномерным нагревом кристалла, по которому проходит линия, так и током, протекающим в линии (так называемый «саморазогрев»). Кроме того, ток линии вызывает падение напряжения вдоль нее.

В работе ставится задача создания программного обеспечения для моделирования задержек в межсоединениях СБИС с учётом температурных эффектов.

Электротепловое моделирование межсоединений

В настоящей работе авторы используют модель межсоединения (рисунок 1) в виде распре-

делённой RC-цепи [1, 2], параметры которой зависят от температуры данной точки межсоединения [3, 4] (рисунок 2).

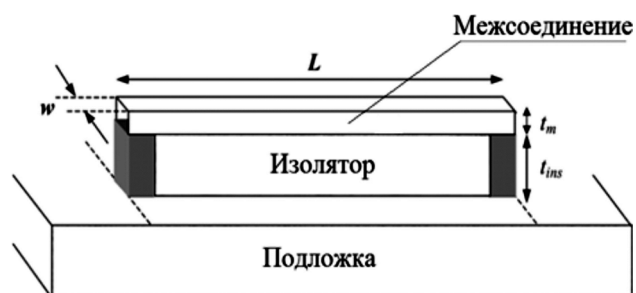


Рисунок 1 – Линия межсоединения, проходящая по подложке, отделенная слоем изоляции

Распределение температуры на поверхности кристалла рассчитывается с помощью программы «Перегрев–МС», разработанной авторами [5]. С учетом распределения температуры вдоль линии межсоединения рассчитываются параметры модели межсоединения – сопротивления $R(T_i)$ и ёмкости $C(T_i)$ звеньев RC цепи. Автора-

ми разработана программа расчёта параметров модели, выводящая результаты расчёта в виде описания электрической схемы в формате SPICE. Такой подход позволяет учитывать влияние неравномерного разогрева кристалла на электрические свойства линии межсоединения.

С целью упрощения электротепловой-модели межсоединений и уменьшения времени счета многозвенная RC-модель редуцирована в компактную П-образную эквивалентную схему с температурно-зависимыми параметрами (рисунок 3). Для этого была использована программа промышленного назначения PRIMA [6, 7], основанная на теоретических связях между блок-алгоритмами Арнольди, матрицами Ланцоша и системными матрицами PRIMA.

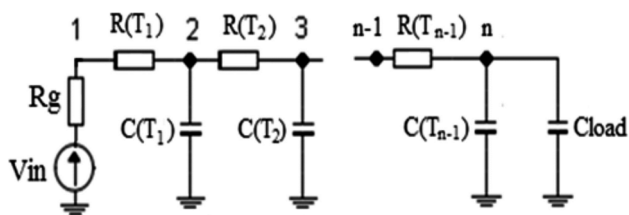


Рисунок 2 – Модель межсоединения в виде распределённой RC цепи. Величины сопротивлений R и емкостей C зависят от температуры данной точки межсоединения T_i . V_{in} – напряжение входного генератора, R_g – сопротивление генератора, C_{load} – ёмкость нагрузки

Точность расчётов редуцированной данным методом цепи и цепи 10-звенной (взятой за точную модель [5]) составляет 92 – 93 %.

Но, несмотря на высокую точность, полученная модель не позволяет учитывать зависимость свойств межсоединения от распределения температуры вдоль него. Поэтому были выведены формулы для расчёта значений параметров П-образной однозвенной модели по параметрам многозвенной RC-цепи, к которой применяется редукция.

Элементы редуцированной RC-цепи имеют множители

$$1 + \alpha' \cdot \Delta T, \quad 1 + \theta' \cdot \Delta T, \quad (1)$$

где α', θ' – температурные коэффициенты сопротивления и диэлектрической постоянной, используемые в П-образной однозвенной модели.

Для определения значений α' и θ' были рассчитаны значения сопротивления R и емкости C в диапазоне температур от 20°C до 120°C. Таким образом, температурные коэффициенты для нашей П-образной модели межсоединения можно вычислить следующим образом:

$$\alpha' = \frac{R_1 - R_2}{R_1 \Delta T}, \quad \theta' = \frac{C_1 - C_2}{C_1 \Delta T}, \quad (2)$$

где $\Delta T = (20^\circ\text{C} - T)$.

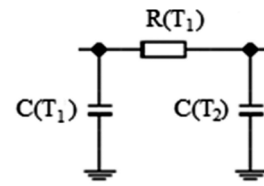


Рисунок 3 – П-образная эквивалентная схема межсоединения с температурно-зависимыми параметрами

Анализ полученных результатов показывает, что приведенные температурные коэффициенты редуцированной цепи зависят от разности температур и могут быть представлены следующими функциями:

$$\alpha' = \alpha \frac{k}{\Delta T}, \quad \theta' = \theta \frac{m}{\Delta T}, \quad (3)$$

где α, θ – температурные коэффициенты сопротивления и диэлектрической постоянной материалов межсоединения, $k = 120,97$, $m = 684,7$.

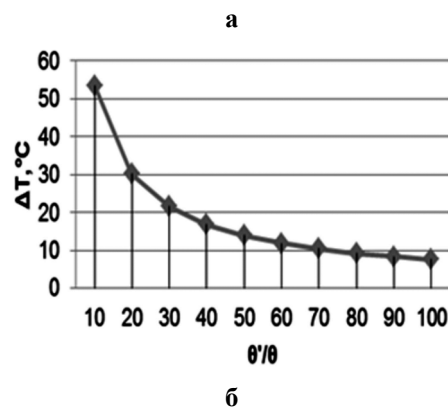
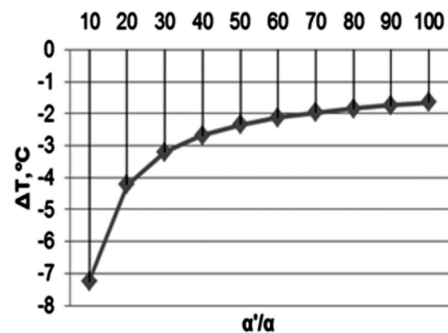


Рисунок 4 – Зависимости приведенных температурных коэффициентов α'/α (а) и θ'/θ (б) от разности температур. α, θ – температурные коэффициенты сопротивления и диэлектрической постоянной материалов межсоединения

С учетом вышеописанных исследований были разработаны электротепловые SPICE модели, эквивалентные межсоединениям, которые в дальнейшем используются для высокоточного моделирования логических вентилях на разных температурах.

На примере десятизвенной RC-цепи показано, что погрешность по амплитуде сигнала при переходе к П-образной схеме составляет не более 7 %, по фазе 2 %. При этом время счета сокращается на 25-30 %.

Расчет задержек межсоединений цифровых БИС

С использованием разработанных моделей проведен расчет задержек в межсоединениях для микросхемы 4-разрядного сумматора, реализованного на базе топологических ячеек НЕ, 2ИЛИ-НЕ, 3ИЛИ-НЕ, 4ИЛИ-НЕ, полусумматора на два входа из состава БМК серии 6501ХМ1 (см. рисунок 5). Схема полусумматора рассеивает мощность 0,37 Вт, занимает на кристалле площадь $0,6 \cdot 0,5 \text{ мм}^2$ и входит в качестве фрагмента в состав более сложных блоков процессора специализированной ЭВМ со сверхвысоким быстродействием. Для данного фрагмента было смоделировано общее тепловое поле. Полученное распределение температуры вдоль линии межсоединения (см. рисунок 6) использовано для расчета параметров ее электротепловой модели. С помощью полученной модели произведен анализ передачи сигнала вдоль линии межсоединения, см рисунок 7, а, б.

1 62.36 2 62.75 3 63.24 4 63.89 5 64.72 6 65.80 7 67.19 8 68.98 9 71.29 10 73.12

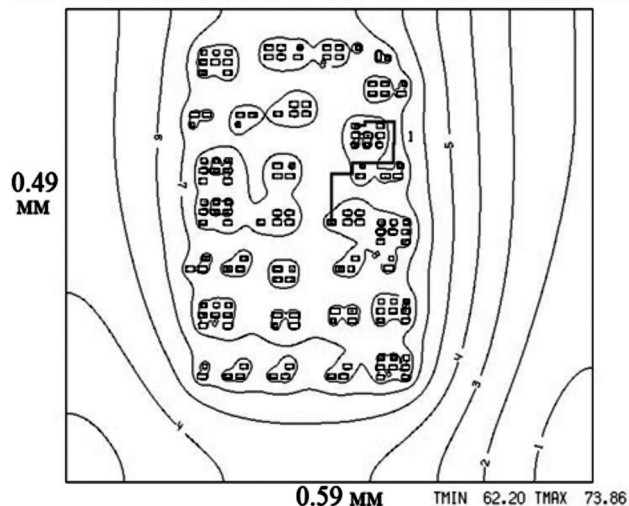


Рисунок 5 – Топология 4-разрядного сумматора, входящего в состав БМК серии 6501ХМ1. 1 - линия межсоединения; изолинии температуры поверхности - в градусах Цельсия, соответствие номеров и температур – в верхней строке рисунка

Задержка распространения сигнала по линии межсоединения без учета неоднородного температурного профиля составила 22,9 пс (переднего фронта) и 22,3 пс (заднего фронта), а с учетом 31,9 пс (переднего фронта) и 31,1 пс (заднего фронта), т.е. пренебрежение тепловыми эффектами вызывает погрешность 28 %.

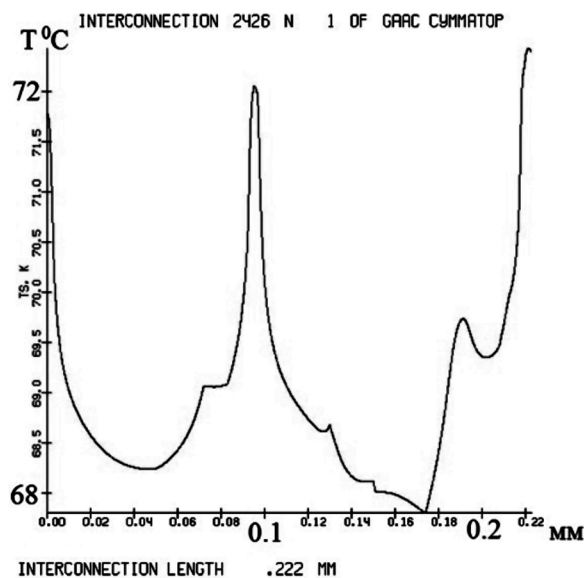
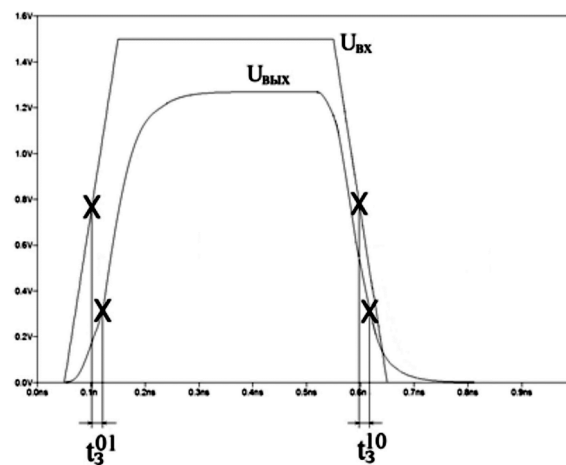
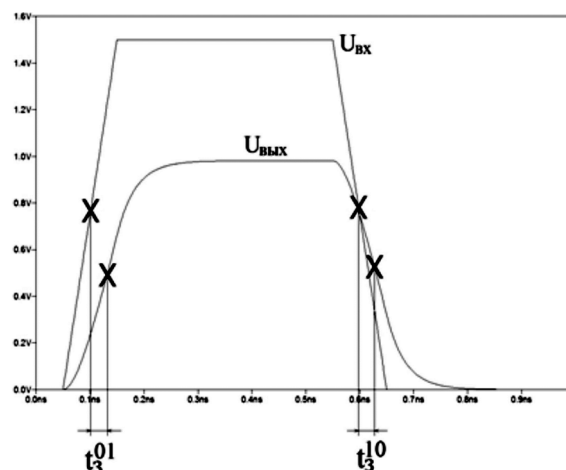


Рисунок 6 – Распределение температуры кристалла вдоль линии межсоединения



а



б

Рисунок 7 – Результат моделирования задержек линии межсоединения с помощью SPICE. Задержка без учета неоднородного температурного профиля составила 22,9 пс (а), а с учетом 31,9 пс (б)

Кроме того, была проведена оценка совместного влияния электрических и тепловых эффектов на амплитуду напряжения сигнала при его передаче по межсоединению. При входном напряжении 1,5 В в начальной точке металлизированной линии на ее выходе в результате расчета было получено значение 0,981 В с учетом теплового влияния и 1,26 В без учета тепла. То есть потери по амплитуде сигнала составили 35 % и 16 %, см. рисунок 8. Таким образом, в линиях межсоединений наблюдается эффект «просадки» напряжения, который важно учитывать при конструировании БИС.

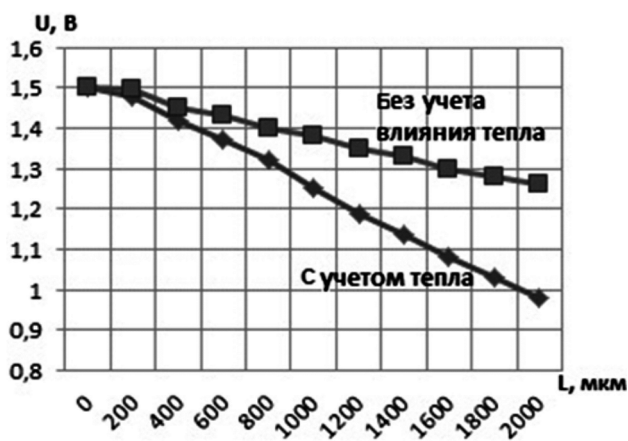


Рисунок 8 – Уменьшение напряжения вдоль линии межсоединения

Анализ работы логических схем с учетом задержек межсоединений

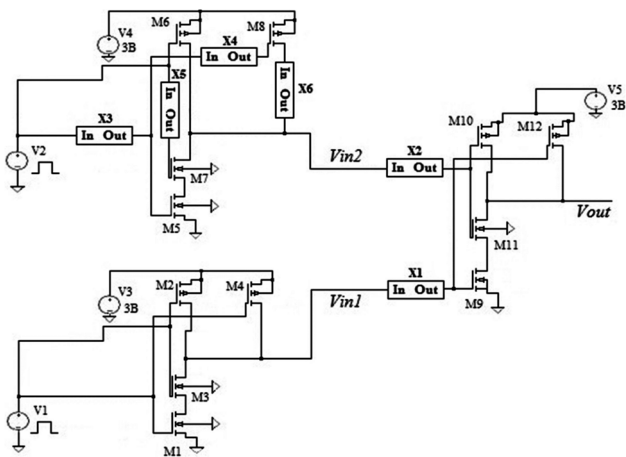


Рисунок 9 – Схема из трех логических КМОП вентилях 2И-НЕ на транзисторах 90 нм с включением электротепловых моделей межсоединений

С учетом вышеописанных исследований были разработаны электро-тепловые SPICE-модели межсоединений, которые в дальнейшем использовались для моделирования логических вентилях на разных температурах. А именно, авторами производится анализ работы схемы, состоя-

щей из трех логических КМОП вентилях 2И-НЕ, организованных на транзисторах с размером 90 нм (рисунок 9). Выходные сигналы с вентиля № 1 и вентиля № 2 подаются на входы вентиля № 3 по линиям связи, включающим разработанные ранее электротепловые модели межсоединений (X1 и X2). При этом, вентиль № 2 нагрет до 50 °С и имеет связь между элементами внутри схемы с включением эквивалентных моделей межсоединений (X3, X4, X5 и X6), в то время как вентиль № 1 представляет из себя идеализированную схему. Распределение температуры в межсоединениях рассчитывалось с помощью программы «Перегрев – МС». В расчетах использовалась модель МОП-транзисторов BSIM4. Результаты моделирования приведены на рисунке 10. На рисунке показаны временная диаграмма логического вентиля без учета существования задержек из-за неравномерного нагрева линий межсоединений V1 и временная диаграмма этого же вентиля с включением электротепловых моделей межсоединений V2, выходные сигналы с V1 и V2 поступают на входы вентиля V3.

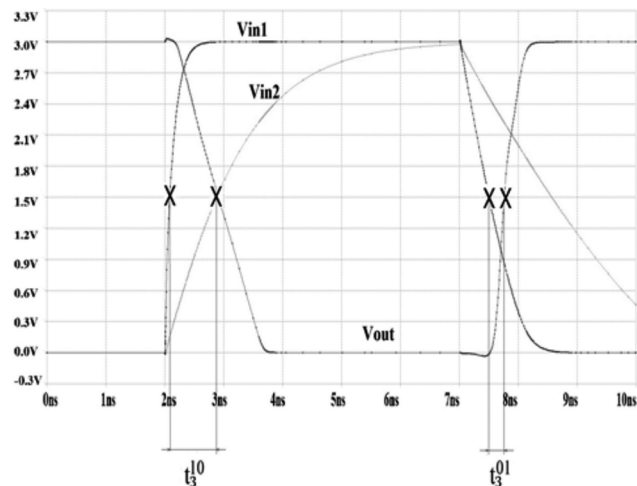


Рисунок 10 – Результаты работы вентиля № 3 Vout, на который приходят выходные сигналы с идеального вентиля № 1 (Vin1) и реального № 2 (Vin2)

При анализе работы схемы логического вентиля № 3 были получены следующие результаты: размер задержки распространения сигнала из-за неравномерного нагрева линий межсоединений составил 0,62 нс при внутренних температурах 50 °С у логического вентиля № 2 и 25 °С у логического вентиля № 1. Так как в нанометровой электронике количество подобных схем в устройстве очень велико, задержки в межсоединениях неизбежно приведут к несрабатыванию вентиля № 3 и к сбою в работе устройства. Особенно данный эффект ощутим в высокотемпературной электронике.

Выводы

Разработано программное обеспечение для анализа задержек и электрических потерь в межсоединениях СБИС в зависимости от температурных эффектов.

Температура линии межсоединения определяется по тепловым полям микросхемы, которые рассчитываются с помощью программы «Перегрев-МС», разработанной авторами.

Разработана программа расчёта параметров модели межсоединения (сопротивлений и емкостей) в зависимости от температуры в точках межсоединения. Разработана процедура редукции многозвенной распределенной электро-тепловой цепи в компактную П-образную эквивалентную схему, которая включена в библиотеку моделей программ H-SPICE, LTSPICE и др.

Приведены примеры электротеплового расчета временных задержек и электротепловых потерь в межсоединениях цифровых БИС и анализа работы фрагментов логических схем с учетом задержек в межсоединениях, обусловленных электро-тепловыми эффектами.

В отличие от описанных ранее аналитических методов, методика численного расчета задержек в межсоединениях БИС, предложенная в данной работе, позволяет:

- 1) учитывать произвольное распределение температуры в полупроводниковых кристаллах БИС и металлизированных межсоединениях;
- 2) автоматизировать процедуру синтеза компактной П-образной модели межсоединений БИС с температурно-зависимыми параметрами

для расчета цифровых и аналоговых узлов БИС с помощью SPICE-подобных программ.

Библиографический список

1. Amir H. Ajami, Member, Kaustav Banerjee, Senior Member, and Massoud Pedram, Fellow. Modeling and Analysis of Nonuniform Substrate Temperature Effects on Global ULSI Interconnects//IEEE Trans. on computer-aided design of intergrated circ. and sys., Vol. 24 (2005), No. 6. P. 849-860.
2. Min Ni Dept. of Electr. Eng. & Comput. Sci., Northwestern Univ., Evanston, IL, Memik, S.O. Self Heating-Aware Optimal Wire Sizing under Elmore Delay Model//Design, Automation & Test in Europe Conference & Exhibition, 2007. DATE '07. P. 187-196.
3. Rzepka S., Banerjee K. Characterization of self-heating in advanced VLSI interconnect lines based on thermal finite element simulation//IEEE Trans. Compon., Packag., Manufac. Techn.-A, 1998, Vol. 21, No. 3. P. 406-411.
4. Cong J. and Leung K. S. Optimal wiresizing under the distributed Elmore delay model. In ICCAD, 1993.
5. Петросянц К. О., Рябов Н. И. Программа для ЭВМ «Перегрев-МС». Свидетельство № 2007613306 от 6.08.2007 г. об официальной регистрации программы для ЭВМ.
6. Altan Odabasioglu, Mustafa Celik. PRIMA: Passive reduced-order interconnect macromodeling algorithm // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 17(8) (1998). P. 645-654.
7. Гурарий М. М., Жаров М. М., Русаков С. Г., Ульянов С. Л. Методы возмущений и селективные методы в задачах редукции высокоразмерных моделей//Проблемы разработки перспективных микро- и нанoeлектронных систем: сб. науч. тр. / под общ. ред. А.Л. Стемповского. М.:ИППМ РАН, 2008. С. 86-91.

UDC 621.382

CALCULATION OF DELAY AND VOLTAGE DROP IN DIGITAL LSI INTERCONNECTIONS USING COMPACT ELECTRO-THERMAL SPICE-MODEL

K. O. Petrosyants, PhD (technical sciences), professor, MIEM HSE; kpetrosyants@hse.ru

E. I. Batarueva, post-graduate student of the Department of electronics engineering, MIEM HSE; yelg@yandex.ru

N. I. Ryabov, PhD (technical sciences), associate professor, MIEM HSE; nryabov1954@gmail.com

Irregular heating of the interconnection lines leads to the distortion of transmitted signals and to the increase of time delay in particular. The aim of the work is to develop the program for calculating the interconnection model parameters (resistances and capacitances) depending on the temperature at the points along interconnection lines. To achieve this goal the following objective is set: development of program tools for delay modeling in LSI interconnections with account for thermal effects. Authors use the interconnection model in the form of distributed RC-circuit, parameters of which depend on the chip surface temperature distribution. The chip surface temperature is calculated by program tool «Overheat-MS», developed by the authors. Interconnection model parameters – resistances and capacitances of RC circuit sections, are calculated on the basis of temperature distribution along the interconnection. This approach allows to take into

account the influence of chip non-uniform overheat on interconnection electrical characteristics. For the simplification of interconnection model and CPU time decrease the multi-sectional RC – model is reduced to compact Pi-shaped equivalent circuit with temperature-depended parameters. It is shown that in comparison to Pi-shaped circuit, the signal magnitude error is at most 7%, the signal phase error is 2 %. In this case, CPU time decreases on the order of 25-30 %.

Key words: LSI interconnections, reduction, electro-thermal model, signal delay in interconnections.

DOI: 10.21667/1995-4565-2017-62-4-89-94

References

1. **Amir H. Ajami, Member, Kaustav Banerjee, Senior Member, and Massoud Pedram, Fellow.** Modeling and Analysis of Nonuniform Substrate Temperature Effects on Global ULSI Interconnects. IEEE Trans. on computer-aided design of intergrated circ. and sys., V. 24 (2005), NO. 6, pp.849-860.
2. **Min Ni Dept. of Electr. Eng. & Comput. Sci., Northwestern Univ., Evanston, IL ,Memik, S.O.** Self Heating-Aware Optimal Wire Sizing under Elmore Delay Model. Design, Automation & Test in Europe Conference & Exhibition, 2007. DATE '07, pp. 187–196.
3. **Rzepka S., Banerjee K.** Characterization of self-heating in advanced VLSI interconnect lines based on thermal finite element simulation. IEEE Trans. Compon., Packag., Manufac. Techn.-A, 1998, vol. 21, no. 3, pp. 406–411.
4. **Cong J. and Leung K. S.** Optimal wiresizing under the distributed Elmore delay model. In ICCAD, 1993.
5. **Petrotsyants K. O., Ryabov N. I.** Software tool «Peregrev MC». Certificate № 2007613306 of 6.08.2007 г. on official registration of Software tool (in Russian).
6. **Altan Odabasioglu, Mustafa Celik.** PRIMA: Passive reduced-order interconnect macromodeling algorithm. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems 17(8) (1998), 645-654.
7. **Gurarij M. M., Zharov M. M., Rusakov S. G., Uljanov S. L.** Perturbation methods and selective methods in tasks of high-dimensional models reduction. The development problems of perspective of micro- and nanoelectronic systems. Proceedings / under the general editorship A.L. Stempkovsky. Moscow: IPPM RAN, (2008) p. 86-91 (in Russian).