

Технологии ЭМС

В номере:

- Декомпозиция проводников при численном анализе эмиссии излучаемых радиопомех
- Повышение эффективности молниеотводов
- Универсальное комбинированное устройство защиты систем электроснабжения 6(10) кВ от мощных электромагнитных воздействий
- Специализированный измеритель напряженности электрического поля для измерения эффективности экранирования реальных конструкций
- Исследование стойкости печатных узлов к воздействию электростатического разряда
- Повышение качества электрической энергии и обеспечение электромагнитной совместимости электрооборудования в сетях нефтедобывающих предприятий с помощью параллельного активного фильтра
- Автоматизация расчета эффективности экранирования
- К вопросу аттестации затухания измерительной площадки
- Сертификация электронных средств. Базовые системы международной стандартизации



Уважаемые читатели!

Актуальность проблемы ЭМС непрерывно возрастает. Можно отметить появление новых областей исследований и инженерных приложений. Среди них следует отметить такие сферы, как целостность сигнала, функциональная безопасность, зависящая от электромагнитной совместимости, архитектурное экранирование. Наш журнал стремится быть в русле развития перспективных научных и технических разработок, новых направлений. Одним из эффективных методов информационного обмена являются конференции и симпозиумы, на которых происходят встречи специалистов, организуются выставки, проводятся обсуждения актуальных вопросов в области ЭМС. Международные конференции и симпозиумы по ЭМС регулярно проводятся на международном уровне. По данным, которыми располагает редакция, в

2013 году планируется Международная выставка и семинара по ЭМС «EMV 2013» (Германия, Штутгарт, 5–7 марта 2013), Азиатско-Тихоокеанский Международный симпозиум и выставка по ЭМС «АРЕМС 2013» (Австралия, Мельбурн, 20–23 мая 2013), Международный симпозиум по ЭМС IEEE (США, Колорадо, Денвер, 5–9 августа 2013, Европейский симпозиум по ЭМС «EMC Europe 2013» (Бельгия, Брюгге, 2–6 сентября).

На Международной выставке и конференции по ЭМС EMV 2013 планируется рассмотреть следующие вопросы: контрольное оборудование, системные компоненты, защита от молний и гроз, электромагнитные компоненты, фильтры, исследования и инновации в области ЭМС, измерительное оборудование и другие.

На симпозиуме АРЕМС 2013 кроме традиционных вопросов ЭМС, связанных с испытаниями и измерениями, проектированием, защитой от молний, стандартизацией и другими, будут рассматриваться задачи моделирования и эффективных вычислений, беспроводной передачи энергии, ЭМС в современных коммуникациях, ЭМС на транспорте и авиации.

Программа Международного симпозиума по ЭМС IEEE предусматривает 11 технических секций, среди которых можно выделить секцию «Нанотехнологии и перспективные материалы», а также подсекции, посвященные «умным» электрическим сетям (Smart Grid), транспортным системам и развивающимся беспроводным технологиям.

Программа Европейского симпозиума по ЭМС достаточно традиционна для подобных европейских мероприятий. Она, кроме вопросов, которые широко представлены на других конференциях и симпозиумах, затрагивает вопросы образования в области ЭМС, функциональную безопасность, влияние электромагнитных факторов на биологические объекты.

Как видно, научно-техническая общественность всего мира уделяет самое серьезное внимание развитию проблемы ЭМС и решению актуальных задач. Это не удивительно, поскольку область ЭМС наиболее близка к рынку, затрагивает огромное число производителей электроники, от решения вопросов ЭМС зависит успех в конкурентной борьбе производителей самых разнообразных технических средств.

Остается сожалеть, что для отечественной промышленности вопросы ЭМС не являются первоочередными и, в большинстве случаев, ими занимаются только тогда, когда возникли проблемы при сертификации продукции. Часто отсутствует понимание, что ЭМС следует заниматься с первых шагов разработки концепции аппаратуры, системы, любого технического средства. Время и средства, затраченные на проработку вопросов ЭМС, с лихвой окупятся за счет качества изделия и сроков прохождения сертификационных испытаний.

По имеющимся в редакции сведениям в этом году, к большому сожалению, не состоится Международный симпозиум по ЭМС, который многие годы проходил в ЛЭТИ (С.-Петербург). Ранее перестала проводиться Всероссийская конференция по ЭМС, которую многие годы организовывал ВИТУ (С.-Петербург). Эти мероприятия позволяли научно-инженерной общественности ежегодно встречаться и обсуждать наиболее актуальные вопросы. Сейчас такой возможности не стало.

Остается надеяться, что профессиональные встречи возродятся, и проблема ЭМС получит в стране дальнейшее развитие.

*Главный редактор, д.т.н., профессор Кечиев Л.Н.,
профессор МИЭМ НИУ ВШЭ*

Технологии электромагнитной совместимости *Technologies of electromagnetic compatibility* 2013. № 1(44).

ISSN 1729-2670

УЧРЕДИТЕЛЬ ЖУРНАЛА:

ООО «Издательский Дом «ТЕХНОЛОГИИ».

Зарегистрирован в Министерстве Российской Федерации по делам печати, телерадиовещания и средств массовых коммуникаций. Регистрационное свидетельство ПИ № 77-9669 от 24 августа 2001 года

Оформить подписку можно по объединенному каталогу «Пресса России»: 10362 — полугодовой индекс; в издательстве (предпочтительно) (8-985-134-4367).

**Главный редактор журнала,
председатель редакционного совета**
КЕЧЕВ ЛЕОНИД НИКОЛАЕВИЧ, д.т.н., проф.
Зам. главного редактора журнала
КАРМАШЕВ ВИКТОР СЕРГЕЕВИЧ
АЛЕШИН АНДРЕЙ ВЛАДИМИРОВИЧ, к.т.н.
Редакционный совет:
АКБАШЕВ БЕСЛАН БОРИСОВИЧ, д.т.н.
БАЛЮК НИКОЛАЙ ВАСИЛЬЕВИЧ, д.т.н., проф.
ВОРШЕВСКИЙ АЛЕКСАНДР АЛЕКСЕЕВИЧ, д.т.н., проф.
КИРИЛЛОВ ВЛАДИМИР ЮРЬЕВИЧ, д.т.н., проф.
КОСТРОМИНОВ АЛЕКСАНДР МИХАЙЛОВИЧ,
д.т.н., проф.
КРИВОВ АНАТОЛИЙ СЕРГЕЕВИЧ, д.т.н., проф.
МЫРОВА ЛЮДМИЛА ОШЕРОВНА, д.т.н., проф.
НЕ ФЕДОВ ВИКТОР ИВАНОВИЧ, д.т.н., проф.
НИКИТИНА ВАЛЕНТИНА НИКОЛАЕВНА, д.мед.н., проф.
НИКИФОРОВ ВЛАДИМИР ВАСИЛЬЕВИЧ, к.т.н.
ОЛЬШЕВСКИЙ АЛЕКСАНДР НИКОЛАЕВИЧ, к.т.н.
ПОЖИДАЕВ ЕВГЕНИЙ ДМИТРИЕВИЧ, д.т.н., проф.
ПУГАЧЕВ СЕРГЕЙ ВАСИЛЬЕВИЧ
САРЫЛОВ ВЛАДИМИР НИКОЛАЕВИЧ
САХАРОВ КОНСТАНТИН ЮРЬЕВИЧ, д.т.н., с.н.с.
СТЕПАНОВ ПАВЕЛ ВЛАДИМИРОВИЧ, д.т.н., проф.
СУХОРОКОВ СЕРГЕЙ АРСЕНЬЕВИЧ, к.т.н., доцент
ТУХАС ВЯЧЕСЛАВ АНАТОЛЬЕВИЧ, д.т.н., проф.
ФОМИНИЧ ЭДУАРД НИКОЛАЕВИЧ, д.т.н., проф.
ЧЕРМОШЕНЦЕВ СЕРГЕЙ ФЕДОРОВИЧ, д.т.н., проф.

ИЗДАТЕЛЬ ЖУРНАЛА:
ООО «Издательский Дом «ТЕХНОЛОГИИ».

РЕДАКЦИЯ ЖУРНАЛА:
НОЧУ «Новая Инженерная Школа»

**Издается при содействии кафедры РЭТ
МИЭМ-ННУ ВШЭ.**

Главный редактор СТАСЬ Константин Николаевич
Исполнительный директор
Петришина Марина Олеговна

Адрес: 105005, Москва, Наб. академика Туполева, 15,
стр. 29, оф. 117.

ООО «Издательский Дом «ТЕХНОЛОГИИ»

Редакция: тел./факс 8 (495) 916-89-64,
e-mail: kln1940@gmail.com.

Статьи рецензируются. Статьи опубликованы в авторской редакции. Мнение членов редакционного совета может не совпадать с точкой зрения авторов публикаций. Перепечатка материалов допускается только с письменного разрешения редакции. Рукописи не возвращаются.

Журнал включен в перечень ведущих журналов и изданий Высшей аттестационной комиссии (ВАК).

Журнал включен в Реферативный журнал и Базы данных ВИНИТИ. Сведения о журнале ежегодно публикуются в международной справочной системе по периодическим и продолжающимся изданиям «Ulrich's Periodicals Directory».

Содержание

Лемешко Н.В., Захарова С.С. Декомпозиция проводников при численном анализе эмиссии излучаемых радиопомех	3
Рябов Ю.Г., Ермаков К.В., Тюренков С.Н. Повышение эффективности молниезащиты	11
Фоминич Э.Н., Филиппов В.Г., Исаков А.В., Парахин Ю.Н. Универсальное комбинированное устройство защиты систем электропитания 6(10) кВ от мощных электромагнитных воздействий	18
Журавлев И.Н., Кечиев Л.Н., Крючков Н.М., Савин Ю.В., Демский Д.В. Специализированный измеритель напряженности электрического поля для измерения эффективности экранирования реальных конструкций	23
Кузнецов В.В., Кечиев Л.Н. Исследование стойкости печатных узлов к воздействию электростатического разряда	29
Абрамович Б.Н., Сычев Ю.А., Устинов Д.А. Повышение качества электрической энергии и обеспечение электромагнитной совместимости электрооборудования в сетях нефтедобывающих предприятий с помощью параллельного активного фильтра	39
Демский Д.В., Марченко М.В., Фомина И.А. Автоматизация расчета эффективности экранирования	44
Шабанов Р.И., Романчев В.С., Захаров А.А., Захаров А.В., Яковлев К.М. К вопросу аттестации затухания измерительной площадки	55
Сертификация электронных средств Котельников Д.С. Базовые системы международной стандартизации	66
Новая Инженерная Школа	

УДК 621.382

В.В. Кузнецов, Л.Н. Кечиев

Исследование стойкости печатных узлов к воздействию электростатического разряда

Проведено моделирование воздействия электростатического разряда на МОП-транзисторы, установленные на печатной плате. Результаты моделирования сравниваются с результатами испытаний тестовой печатной платы на воздействия ЭСР и проводится исследование воздействия печатной платы на порог отказа МОП-транзисторов при воздействии ЭСР по сравнению с их собственным порогом отказа. Обнаружено снижение порога отказа при ЭСР для транзисторов, установленных на печатной плате.

электростатический разряд, модель заряженного компонента, МОП-транзистор, печатная плата

В ходе технологического процесса электронные компоненты и модули на печатных платах испытывают контакт и разделение с разнородными материалами. В результате контактирования и разделения в электронных компонентах могут образовываться и накапливаться электростатические заряды. Данный процесс может иметь место в результате трения при скольжении по поверхности конвейеров, соскальзывания электронных компонентов по поверхности питателей, что может иметь место при монтаже электронных компонентов при помощи автоматических линий. При последующем контакте заряженного электронного компонента или модуля на печатной плате с заземлённым оборудованием происходит быстрый электростатический разряд. Такой электростатический разряд получил название модели зараженного устройства (CDM) [1]. По данной причине представляется актуальным моделирование CDM электростатического разряда.

Электростатический разряд по модели зараженного устройства (CDM ЭСР) характеризуется чрезвычайно быстрым нарастанием тока ЭСР и короткой длительностью импульса тока ЭСР (несколько наносекунд). Электростатический заряд, накопленный корпусом электронного компонента, стекает на землю через его вывод. При этом между выводами электронного компонента возникают импульсные перенапряжения. Степень устойчивостью электронного компонента к CDM ЭСР характеризуется пороговым потенциалом, при заряде до которого электронный компонент отказывает при последующем разряде. Имеются данные, что при соединении электронного компонента с печатной платой происходит снижение порога отказа электронного компонента при CDM ЭСР [2].

Накопление статического заряда на печатных проводниках может иметь место при ремонте и эксплуатации РЭА, где не всегда возможно соблюдать требования по защите от ЭСР (заземление и применение антистатических материалов).

Такое снижение связано с тем, что весь заряд накопленный печатными проводниками протекает через вывод электронного компонента. В [2] сообщается, что для печатной платы размерами 12×12 дюймов порог отказа электронного компонента снижается на 74 %. Так если электронный компонент имеет порог отказа при CDM ЭСР 3500 В, то после соединения с печатной платой его порог отказа составляет только 900 В. Если плата накапливает электростатический потенциал в 900 В, то при последующем ЭСР компонент отказывает.

Целью настоящей работы является построение модели воздействия на печатный узел CDM ЭСР с целью подтверждения результатов [2] и их экспериментальной проверки. В качестве объекта воздействия ЭСР при моделировании и экспериментах используются силовые МОП-транзисторы фирмы International Rectifier. Вопросы построения модели воздействия CDM ЭСР на электронные компоненты, в том числе на интегральные микросхемы (ИМС) посвящены публикации [3, 4]. Методика моделирования цепей ИМС от ЭСР (*n*-МОП-транзистор с заземлённым затвором) была разработана в МИЭМ в публикации [5]. После проведения моделирования выполнена его экспериментальная проверка с помощью CDM ЭСР тестов.

Эквивалентная схема воздействия CDM ЭСР на корпус ИМС показана на рис. 1.

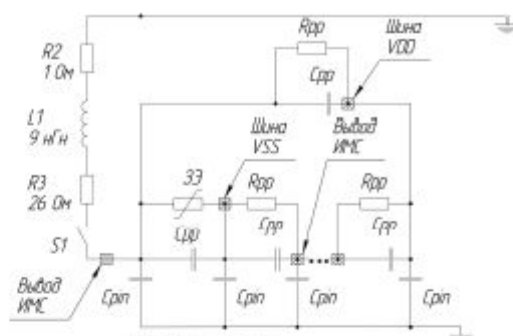


Рис. 1. Эквивалентная схема FCDM-ЭСР. $R2$ — сопротивление датчика тока; $R3$ — сопротивление дуги; $C_{pin} = 1-5$ пФ — ёмкость вывода ИМС; $C_{pp} = 1-5$ пФ — ёмкость между выводами ИМС; $R_{pp} \approx 1$ МОм — сопротивление утечки между выводами ИМС; ЗЭ — элемент защитный

Осциллограмма формы тока при переходном процессе показана на рис. 2. Осциллограмма заимствована из стандарта [6]. Длительность переходного процесса составляет несколько наносекунд. Пиковое значение тока ЭСР достигает десятков ампер. Процессы, происходящие при CDM ЭСР поясняются в публикациях [7, 8].

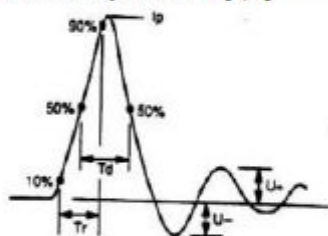


Рис. 2. Форма тока при FCDM ЭСР с калибровочным модулем. Пиковый ток $I_p = 5,12$ А, время нарастания $T_r < 400$ пс, время переходного процесса $T_d \gg 1$ нс

Все ёмкости C_{pin} на схеме рис. 1 заряжены до одинакового напряжения U , которое достигает нескольких киловольт. Данное напряжение характеризует устойчивость ИМС к ЭСР. Предельным случаем данной схемы является двухвыводной компонент. В данном случае в схему входят только две ёмкости C_{pin} и одна ёмкость C_{pp} . Если какой либо вывод ИМС соединён с системой печатных проводников, то параллельно ёмкости вывода ИМС включается ёмкость печатного проводника C_{pcb} . Данная ёмкость может достигать десятков и сотен пикофарад и накапливает значительный заряд. При разряде происходит быстрое перераспределение зарядов между ёмкостями и весь заряд, накопленный печатной платой, проходит на заземлённый вывод ИМС и вызывает импульсные перенапряжения между выводами.

Для моделирования импульсов ЭСР необходимо производить моделирование переходных процессов с пикосекундным шагом. Не все программы схемотехнического моделирования могут рассчитывать переходный процесс с пикосекундным шагом, что было показано в статье [5]. Предварительно выполненное автором тестирование программы Qucs показало, что в данной программе можно производить расчёт переходных процессов с пикосекундным шагом, что и требуется для построения моделей воздействия импульсов ЭСР на электронные компоненты. Таким образом, несмотря на то, что программа Qucs относится к классу программного обеспечения с открытым исходным кодом и распространяется бесплатно, в данной программе можно получать результаты моделирования сравнимые с теми, что обеспечиваются коммерческим программным обеспечением для схемотехнического моделирования. Данное свойство является достоинством программы Qucs.

Будем производить моделирования для простейшего случая: двухвыводного компонента, один из выводов которого соединён с системой печатных проводников. МОП-транзистор является как раз таким случаем. Моделирование для такого случая можно затем обобщить на случай многовыводных компонентов. Представляет интерес провести параметрический анализ зависимости пикового значения импульсных перенапряжений от ёмкости системы печатных проводников. В таком случае мы можем определить насколько снижается порог чувствительности электронных компонентов к CDM ЭСР после того как они соединены с печатной платой.

Имея в распоряжении эквивалентную схему CDM ЭСР и модель защитного компонента, можно произвести схемотехническое моделирование воздействия CDM ЭСР на микросхему и исследовать напряжения переходного процесса на выходе защитной цепи. Такой подход к построению модели воздействия ЭСР на электронные компоненты приведен в [9].

В качестве объекта тестирования был выбран n -МОП транзистор с изолированным затвором IRF510. Данный прибор относится к классу силовых высоковольтных МОП-транзисторов. МОП-транзисторы этого типа и аналогичные широко применяются в различных устройствах силовой электроники. Напряжение пробоя подзатворного диэлектрика для такого транзистора равно 75–80 В. Для данного транзистора имеются результаты тестирования на устойчивость к ЭСР по модели тела человека (НВМ ЭСР). Эти данные приведены в руководстве по применению фирмы-изготовителя AN-986 [10]. В данном источнике приведены осциллограммы напряжения на затворе тестируемого транзистора (производилось тестирование транзисторов IRF510 и IRF730) при действии импульса ЭСР от испытательного стенда. Параметры тестовой схемы отличаются от рекомендуемых для НВМ модели в международных стандартах [1]. В частности сопротивление резистора выбрано равным 470 Ом, а не 1500 Ом. Емкость конденсатора также выбрана равной 235 пФ, а не 150 пФ, как в стандарте.

Представляет интерес сначала провести схемотехническое моделирование воздействия НВМ ЭСР на такой транзистор и сравнить полученные осциллограммы напряжения на затворе с приведёнными в [10]. Напряжение тестирования в руководстве [10] было выбрано равным 240 В, поэтому при моделировании будем использовать такое же напряжение.

Схема для исследования воздействия ЭСР на МОП-транзистор в программе Qucs показана на рис. 3. Данная схема построена на основании эквивалентной схемы на рис. 1. На схеме цепь стока транзистора по постоянному току соединялась переключкой. В процессе моделирования переключку заменялась резистором сопротивлением до 2 кОм и никакого воздействия на результаты моделирования такая замена не оказала. Данное требование регламентируется фирмой-изготовителем при проведении тестов данных транзисторов на воздействие ЭСР. В результате моделирования снимем осциллограммы напряжения переходного процесса на разрядном конденсаторе и на затворе тестируемого транзистора и сравним их с результатами измерений из руководства [10].



Рис. 3. Схема модели воздействия НВМ ЭСР на транзистор IRF730

Полученные в результате моделирования осциллограммы напряжения переходного процесса показаны на рис. 4.

Из графиков видно, что время нарастания напряжения переходного процесса на затворе тестируемого транзистора составляет 300 нс и установившееся значение напряжения равно 32 В. Эти значения полностью согласуются с параметрами переходного процесса при воздействии ЭСР на цепь затвора транзистора IRF730, полученными экспериментально и приведёнными в [10]. В [10] также приведены результаты тестирования транзистора IRF510. Для данного транзистора порог отказа при НВМ ЭСР составляет 274 В. При данном напряжении тестирования напряжение перенапряжения на затворе транзистора достигают величины 75 В, при котором наступает пробой подзатворного диэлектрика и транзистор отказывает.

В ходе исследований было также произведено моделирование воздействия НВМ ЭСР на транзистор IRF510. При этом также при напряжении тестирования равном 274 В перенапряжения на за-

творе транзистора составили 75 В, что соответствует отказу транзистора. Таким образом, получено полное согласование данных моделирования и экспериментов.

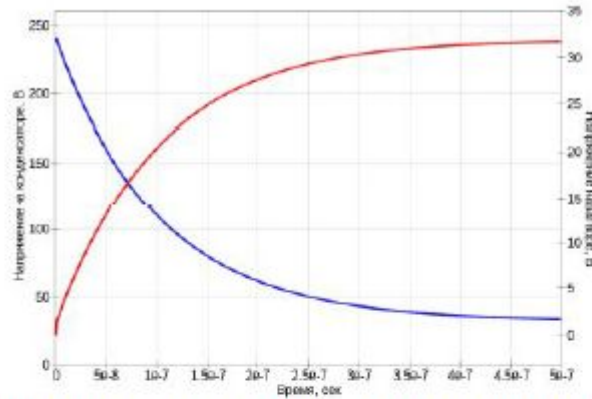


Рис. 4. Оциллограммы переходного процесса при ЭСР на разрядном конденсаторе и на затворе тестируемого транзистора

В результате произведённого моделирования воздействия НВМ ЭСР на МОП-транзистор и его сравнения с результатами тестирования [10] можно сделать вывод о том, что модели МОП-транзисторов, имеющиеся в программе Qucs можно использовать для моделирования воздействия на них ЭСР без каких-либо доработок. Критерием отказа транзистора при моделировании будет служить превышение напряжением затвор-исток допустимой величины в 75–80 В, которая приводится предприятием-изготовителем транзисторов в справочных данных.

Теперь, имея в распоряжении данные о согласовании результатов тестирования и моделирования воздействия НВМ ЭСР на МОП-транзисторы, произведём моделирование воздействия CDM ЭСР на данные полупроводниковые приборы. Представляет интерес выявить воздействия ёмкости печатной платы на порог отказа транзистора при CDM ЭСР и сравнить результаты с данными [2]. Происходит ли при CDM ЭСР снижение порога отказа электронного компонента?

Для этого сначала произведём моделирование воздействия CDM ЭСР без печатной платы. Схема модели CDM ЭСР в программе Qucs показана на рис. 5. Резисторы, включённые между затвором и истоком и между стоком и истоком, служат для выравнивания потенциалов выводов транзистора.

Оциллограммы напряжения и тока при ЭСР показаны на рис. 6 и рис. 7 соответственно. Сравнивая форму тока, полученную в результате моделирования с формой тока, указанной в стандарте по CDM-тестированию [6], видим, что модель хорошо воспроизводит форму тока CDM ЭСР, что свидетельствует о том, что физические процессы при CDM ЭСР воспроизводятся моделью корректно.

При CDM ЭСР длительность импульса перенапряжения составляет около 0,5 нс. При такой длительности импульса пробой подзатворного диэлектрика, как показано в [11], может не успеть развиться и пробивное напряжение подзатворного диэлектрика повышается в 2–3 раза. Таким образом порог отказа МОП-транзистора при CDM ЭСР без печатной платы, найденный в результате моделирования, составляет около 1000 В. Это соответствует классу С4 согласно стандарту [12] и согласуется с данными тестов, приводимыми фирмой-производителем транзисторов.

Теперь произведём моделирование CDM ЭСР для транзистора, установленного на печатной плате. Система печатных проводников связана с истоком МОП-транзистора. Для моделирования CDM ЭСР в данном случае увеличим ёмкость С2 на рис. 5 до значения равного ёмкости системы печатных проводников, связанных с истоком транзистора. Эту ёмкость предварительно необходимо измерить. Для измерения ёмкости рекомендуется использовать методику с применением электрометра [13], так как при таком способе измерений отсутствует радиочастотное воздействие на объект измерений и результат не искажается помехами. Данная ёмкость зависит от площади металлизации печатной платы и в зависимости от коэффициента заполнения площади платы печатными проводниками.

ми и размеров платы составляет от 30 до 1000 пФ. Для моделирования примем данную ёмкость равной 190 пФ.

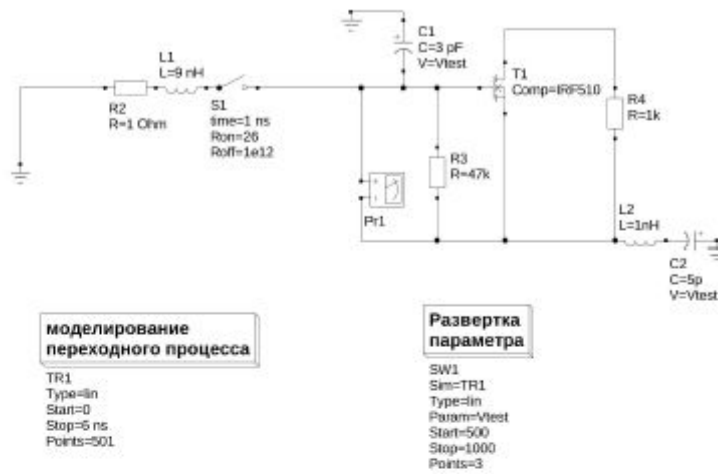


Рис. 5. Схема модели воздействия CDM ЭСР на транзистор IRF510. Ёмкость C2 соответствует ёмкости корпуса транзистора на землю

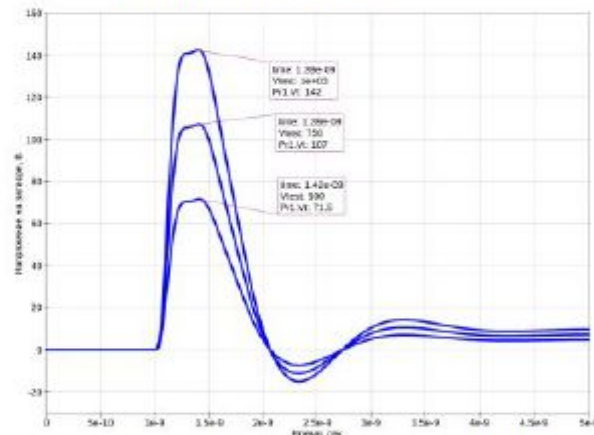


Рис. 6. Напряжение переходного процесса в цепи затвора транзистора IRF510 при CDM ЭСР

На рис. 6. показано напряжение переходного процесса в цепи затвора транзистора IRF510 при CDM ЭСР, на рис. 7 – ток ЭСР через разрядный электрод, а на рис. 8 – схема модели воздействия CDM ЭСР на транзистор IRF510, соединённый с печатной платой.

Исследуем импульсные перенапряжения в цепи затвора транзистора. Графики напряжения на затворе при ЭСР показаны на рис. 9. Уже при напряжении тестирования 250 В перенапряжения на затворе транзистора достигают 80 В, что соответствует отказу транзистора. Таким образом, порог отказа транзистора снизился на 75 %. Между значением ёмкости печатной платы и снижением порога отказа транзистора в процентах не выявлено однозначной зависимости. Эта зависимость для транзисторов разных типов имеет различный характер.

схему с цепями защиты, при воздействии CDM ЭСР на полевой транзистор без цепей защиты по затвору, не происходит ограничения пиковых перенапряжений при неограниченном возрастании ёмкости печатной платы. Таким образом, результаты моделирования полностью подтвердили результаты тестирования, приведённые в статье [2].

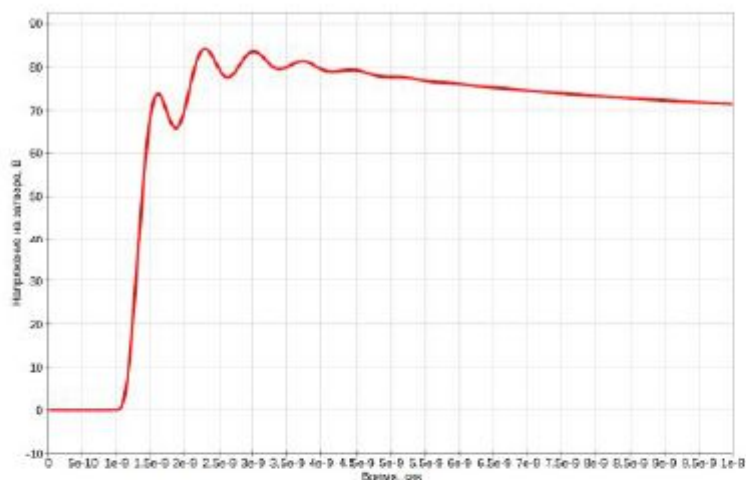


Рис. 9. Напряжение на затворе МОП-транзистора при ЭСР. Транзистор соединён с печатной платой. Напряжение тестирования 250 В

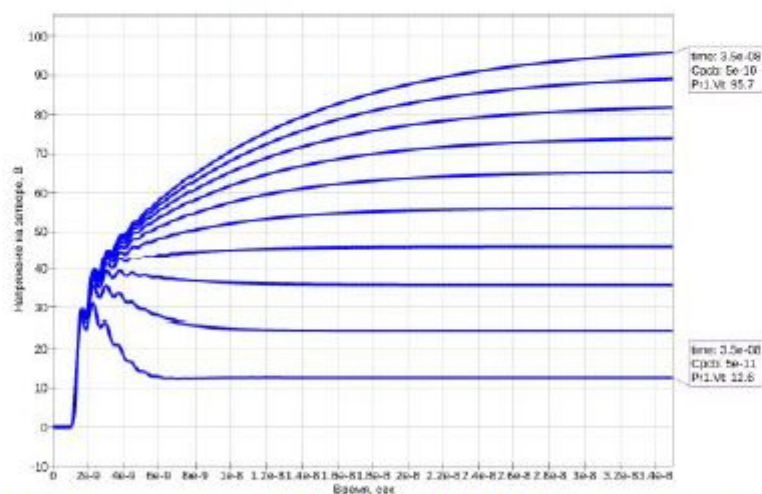


Рис. 10. Напряжение на затворе МОП-транзистора при ЭСР для ёмкости печатной платы от 50 пФ до 500 пФ. Транзистор IRF630. Напряжение тестирования 400 В

Данная схема ЭСР моделирует наилучший случай развития разряда – непосредственный разряд на вывод затвора транзистора. При этом переходный процесс имеет колебательный характер, и имеются выбросы напряжения. В случае если разряд производится через резистор с сопротивлением от 100 Ом до 1 кОм, переходный процесс принимает аperiodический характер, выбросы напряжения

исчезают. Такой вид переходного процесса ЭСР более благоприятен, так как пиковые перенапряжения при этом меньше. Включение параллельно затвору защитного стабилитрона с последовательным резистором [1] снижает перенапряжения до 20 В и тем самым повышается устойчивость МОП-транзистора к CDM ЭСР.

В результате моделирования подтвердились данные публикации [2], о том, что соединение электронного компонента с печатной платой снижает порог его отказа при воздействии CDM ЭСР. Для подтверждения данных результатов необходимо провести тесты МОП-транзисторов на воздействие ЭСР. При проведении тестирования транзистора при напряжении в 250 В должен произойти отказ транзистора. Таким образом, можно будет подтвердить разработанную методику моделирования воздействия CDM ЭСР на МОП-транзисторы.

В качестве объекта тестирования был выбран силовой *n*-МОП транзистор IRF510. Транзистор был впаён в предварительно изготовленную тестовую печатную плату из двухстороннего фольгированного стеклотекстолита. Плата имеет размер 65×100 мм. Цепь истока транзистора соединена с полигоном площадью 6000 мм^2 . Полигон выполнен в верхнем слое металлизации. Нижний слой металлизации заземлён. Вывод транзистора в корпусе TO-220 отформованы и припаяны к контактным площадкам в верхнем слое металлизации. Для выравнивания потенциалов между затвором и истоком включён резистор сопротивлением 200 кОм, а между стоком и истоком включён резистор сопротивлением 1 кОм. Резистор между стоком и истоком включён с технологической целью для упрощения контроля исправности транзистора. Ёмкость между верхним и нижним слоями тестовой печатной платы равна 190 пФ.

Схему стенда для тестирования МОП-транзисторов на воздействие CDM ЭСР иллюстрирует рис. 11. Вариант ЭСР, показанный на схеме, является наилучшим из возможных, так как при этом весь заряд, накопленный системой печатных проводников проходит через цепь затвора и создаёт импульсные перенапряжения между затвором и истоком.

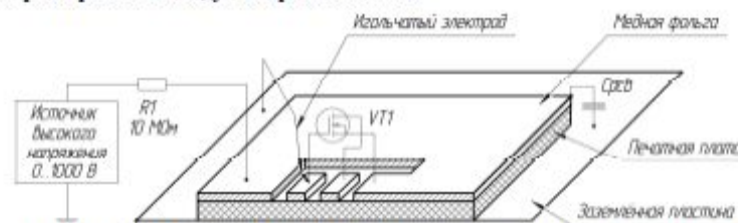


Рис. 11. Схема тестирования МОП-транзистора, установленного на печатной плате на воздействие CDM ЭСР. C_{pcb} — ёмкость системы печатных проводников, связанных с истоком транзистора

Ёмкость C_{pcb} между верхним слоем металлизации и землёй на рис. 11 заряжается от источника высокого напряжения через зарядный резистор $R1$. Источник вырабатывает напряжение постоянного тока. Разряд производится контактированием заземлённого игльчатого электрода с выводом затвора транзистора.

В ходе эксперимента напряжение тестирования повышалось начиная с 50 В ступенями по 50 В (производилось тестирование при напряжениях 50, 100, 150, 200, 250 В). После каждого повышения на 50 В производился разряд, затем напряжение снижалось плавно до нуля, источник высокого напряжения отсоединялся от схемы и производился контроль функционирования транзистора. Критерием исправности транзистора служит открывание транзистора при подаче напряжения положительной полярности на его затвор. При этом в цепи нагрузки, включённой между стоком и плюсом источника питания, протекает ток.

По достижении напряжения тестирования равного 250 В произошёл отказ тестируемого транзистора, который проявился в пробое подзатворного диэлектрика. Сопротивление затвор-исток отказавшего транзистора стало равным 16 Ом и транзистор перестал функционировать. Таким образом, имеется полное согласование с результатами моделирования (см. рис. 9), согласно которым отказ транзистора при данной ёмкости печатной платы, соединённой с цепью истока, должен наступить при напряжении тестирования равном 250 В.

Тесты были повторены ещё для четырёх транзисторов типа IRF510 и для всех было получено напряжение отказа в 250 В. Такое же напряжение отказа транзистора было получено и в результате моделирования. Таким образом, можно сделать вывод о том, что разработанная методика обеспечивает корректное моделирование воздействия CDM ЭСР на МОП-транзистор, и имеющиеся библиотечные модели МОП-транзисторов можно использовать для моделирования воздействия ЭСР без доработок.

В результате проведённых экспериментов и моделирования было установлено, что накопление статического заряда в печатной плате значительно снижает (на 50 % и более) порог отказа электронных компонентов при CDM ЭСР. Такое накопление заряда на печатной плате представляет опасность даже для таких мощных полупроводниковых приборов, как силовые МОП-транзисторы IRF510 и аналогичные, в том числе и после того, как они уже впаиваны в печатную плату. В эксперименте имитируется наихудший случай CDM ЭСР, когда разряд происходит непосредственно на затвор МОП-транзистора. Такой вариант развития ЭСР может иметь место в процессе монтажа модулей на печатных платах, и особенно при ремонте и эксплуатации электронной аппаратуры, так как при ремонте и эксплуатации меры по предотвращению накопления статического электричества часто не соблюдаются. Также при ремонте часто перед присоединением транзистора к схеме его выводы не закорачивают, что создаёт дополнительную опасность его повреждения при ЭСР.

Для оценки вероятности повреждения МОП-транзисторов и прочих полупроводниковых приборов в условиях производства электронной техники рекомендуется следующая последовательность действий. Сначала необходимо определить значение статического потенциала, который накапливают печатные узлы в процессе монтажа, хранения, эксплуатации, ремонта. Для контроля уровня потенциала, накапливаемого оборудованием, электронными модулями и операторами, рекомендуется использовать электрометр [13]. Данный прибор прост в эксплуатации и устойчив к перегрузкам, вызываемым ошибочными действиями оператора. Данные свойства прибора подтверждены его испытаниями в условиях сборочного цеха приборостроительного предприятия. Затем необходимо выделить компоненты, чувствительные к статическому электричеству, установленные на данных печатных узлах. Для данных компонентов необходимо выделить массивные печатные проводники, обычно связанные с цепями питания, с цепями истока транзисторов, цепями заземления и т.д. Для этих проводников необходимо измерить ёмкость на землю. Рекомендуется использовать методику измерения ёмкости без воздействия токами радиочастоты. Зная ёмкость данных систем печатных проводников, можно построить схемотехническую модель CDM ЭСР подобно схемам на рис. 1, 8 и вызвать чувствительность электронных компонентов установленных на плате к CDM ЭСР. Далее результаты моделирования можно проверить с помощью тестов, используя испытательный стенд, подобный схеме на рис. 11.

В результате исследований было произведено моделирование воздействия на электронные компоненты CDM ЭСР и его экспериментальная проверка. Ставилась задача выявления влияния ёмкости печатной платы на стойкость электронных компонентов к ЭСР. Применение разработанной методики схемотехнического моделирования воздействия ЭСР на печатные узлы позволило выявить снижение стойкости электронных компонентов к CDM ЭСР при увеличении размеров печатной платы, на которую данные компоненты установлены. Применяя схемотехническое моделирование ЭСР, можно найти порог отказа МОП-транзисторов, установленных на печатную плату, и опасное значение статического потенциала, связанного с платой. Разработанную методику можно применять не только для силовых МОП-транзисторов фирмы International Rectifier, но и для прочих типов МОП-транзисторов, в том числе и для отечественных. Но для применения методики необходимо знать пробивное напряжение подзатворного диэлектрика.

Увеличение размера печатной платы соответствует увеличению ёмкости печатного монтажа, которая накапливает дополнительный статический заряд. Экспериментально подтвердились данные публикации [2] о снижении порога отказа при ЭСР полупроводниковых приборов при их соединении с печатной платой, но универсальной зависимости между порогом отказа электронного компонента и размерами печатной платы для любого типа электронных компонентов не выявлено. Тем не менее, разработанная методика схемотехнического моделирования CDM ЭСР и контроля электростатических потенциалов в приборостроительном производстве позволяет выявить потенциальную опасность повреждения полупроводниковых приборов в результате ЭСР и принять меры по устранению статических зарядов.

Список литературы

1. Кечиев Л. Н., Пожидаев Е. Д. Защита электронных средств от воздействия статического электричества. – М.: ИД «Технологии», 2005. – 352 с.
2. Colnar J., Trotman J., Petrice R. Decreased CDM ratings for ESD-sensitive devices in printed circuit boards. – In Compliance. 2010. — September. – Pp.38–41.
3. Etherton M., Qu N., Willemen J. et al. Study of CDM Specific Effects for a Smart Power Input Protection Structure. – Microelectronics reliability. – 2004. – Vol.46. – no. 5, 6. – Pp. 666 – 676.
4. Franell E., Druenen S., Gossner H., Schmitt-Landsiedel D. ESD full chip simulation: HBM and CDM requirements and simulation approach. – Advances in Radio Science. – 2008. – Vol. 6. – Pp. 245–251.
5. Абрамешин А. Е., Галушкин И. А., Кечиев Л. Н., Кузнецов В.В., Назаров Р.В. Воздействие ЭСР на полупроводниковые компоненты: моделирование схем защиты, методов и средств испытаний. – Технологии ЭМС. – 2012. – № 3. – С. 44–58.
6. JEDEC standart JESD22-C101E. Field-Induced Charged-Device Model. Test method for electrostatic discharge withstand thresholds of microelectronic components.
7. Ashton R. Field induced charge device model. What really happens. – Conformance. – 2008. – March. – Pp. 35–39.
8. Ashton R., Johnson M., Ward S. Simulating small device CDM using Spice. – In Compliance. – 2010. – August. – Pp. 32–36.
9. Khazhinsky M. G. ESD electronic design automation checks. – In Compliance. 2012. – August. – Pp. 106–112.
10. International Rectifier. ESD Testing of MOS Gated Power Transistors. Application Note AN-986.
11. Sowariraj M. S. B., Salm C., Smedes T. et al. Full chip model of CMOS integrated circuits under charged device model stress.// 7th annual workshop on semiconductor advanced for future electronics. Veldhoven, Netherlands: 2004. — November.
12. MIL-STD-1686B. Electrostatic discharge control program for protection of electrical and electronic parts, assemblies and equipment (excluding electrically initiated explosive devices), 1992.
13. Кузнецов В. В. Электронметр на электронных лампах в обратённом режиме// Патент на полезную модель 118066 от 10 июля 2012 года. Федеральная служба по интеллектуальной собственности, патентам и товарным знакам.

Исследование осуществлено в рамках программы фундаментальных исследований НИУ ВШЭ в 2013 году

The study was implemented in the framework of the Basic Research Program at the National Research University Higher School of Economics in 2013

Статья поступила 15.01.2013.

Национальный исследовательский университет «Высшая школа экономики» (НИУ ВШЭ).

Kuznetsov V.V., Kechiev L.N.

The research of MOS-transistors mounted on printed circuit boards: ruggedness against CDM ESD.

The model of CDM ESD impact on MOS transistors mounted on printed circuit boards is considered. The results of modelling is compared to results of ESD testing of test boards. The MOS transistor failure level decreasing is researched.

electrostatic discharge, charged device model, MOS-transistor, printed circuit board

National Research University Higher School of Economics (NRU HSE)