

©2012 г.

Кащеев Н.И.,
Сивов С.А.

ПОСТРОЕНИЕ ТЕСТОВ ЦИФРОВЫХ СХЕМ С НЕИСПРАВНОСТЯМИ ОТКРЫТОГО ТИПА С ИСПОЛЬЗОВАНИЕМ НЕПРЕРЫВНОГО ПОДХОДА К МОДЕЛИРОВАНИЮ

Представлен подход, позволяющий решить задачу поиска тестовых наборов для неисправностей открытого типа с помощью непрерывной оптимизации целевой функции. В работе предложена модель замещения неисправных вентилях функциональным аналогом неисправности при генерации тестов.

We describe a method that allows us to solve the problem of test generation for open faults by means of continuous optimization. The scheme of replacing the defective gate by functional analogue of the fault is proposed.

Ключевые слова: построение тестов, моделирование неисправностей, непрерывные модели, константные неисправности, неисправности открытого типа.

Key words: test generation, fault modeling, continuous model, stuck-at faults, open fault.

Введение

Большинство ставших классическими методов построения тестов основаны на использовании модели константной неисправности, которая предполагает постоянное наличие неисправности, в то время как некоторые неисправности имеют временный характер или проявляются только при переходных процессах. К последним относятся неисправности открытого типа. В настоящей работе предложен метод построения тестов на основе непрерывной модели схемы, а также способ замены неисправного элемента схемой, имитирующей неисправность открытого типа. Представленные алгоритмы реализованы программно и применены для построения системы поиска тестов для неисправностей открытого типа в комбинационных схемах.

Непрерывный подход к моделированию дискретных устройств

В большинстве традиционных методов построения тестов используются дискретные модели цифровых устройств. В данной работе используется ме-

тод, при котором булевы функции элементов схемы заменяются их непрерывными аналогами. Подобная идея была впервые предложена Капо [1] и получила практическое развитие в работе [2].

Непрерывным продолжением функции алгебры логики называется любая функция, отображающая n -мерное арифметическое пространство во множество действительных чисел и совпадающая с функцией алгебры логики в вершинах n -мерного гиперкуба [2]. Будем использовать непрерывные продолжения для основных функций алгебры логики, предложенные в [2].

Таблица 1
Непрерывные продолжения булевых функций

Булева функция	Непрерывное продолжение
$Y = \bar{X}$	$\bar{y} = 1 - x$
$Y = X_1 \wedge X_2$	$\bar{y} = x_1 x_2$
$Y = X_1 \vee X_2$	$\bar{y} = x_1 + x_2 - x_1 x_2$
$Y = X_1 \oplus X_2$	$\bar{y} = x_1 + x_2 - 2x_1 x_2$

Данная система функций имеет следующее свойство: для любых значений аргумента, лежащих внутри единичного гиперкуба, значения функции лежат в интервале $(0, 1)$, а значения 0 и 1 достигаются непрерывными продолжениями только на гранях и в вершинах единичного гиперкуба.

Неисправности открытого типа

Неисправности цифровых схем обусловлены физическими дефектами, возникающими в результате некоторых отклонений или аномалий производственного процесса. Это могут быть небольшие точечные дефекты, такие как переизбыток или недостаток проводящего слоя, вызванный мельчайшими частицами. Это также могут быть дефекты, занимающие большие площади кристалла, например, пониженная или избыточная электрическая емкость из-за неправильной сборки микросхемы. Дефект изменяет нормальное функционирование схемы. Эти изменения могут влиять на логические функции, реализуемые схемой; приводить к изменению временных характеристик работы схемы (превышение допустимых задержек распространения сигнала); вызывать превышение номинального значения тока источника напряжения в статическом режиме. В данной работе рассматриваются дефекты, обусловленные обрывами и приводящие к изменению логических функций схемы.

Будем рассматривать КМОП микросхемы. При наличии неисправности открытого типа или обрыва между логическими элементами неисправная цепь приобретает бесконечное или близкое к бесконечному сопротивление, потенциал на входе последующих вентилях становится неоднозначным, но квазипостоянным, таким образом, данная неисправность может быть обнаружена методами для константных неисправностей. В случае обрыва внутри вентиля логика работы вентиля меняется - появляется ситуация, когда ни один из транзисторов не утягивает потенциал цепи к потенциалам логических «0» или «1»; входные цепи следующих вентилях остаются без источника сигнала, с предыдущим потенциалом, обусловленным внутренними емкостями. Ввиду большого входного сопротивления полевых транзисторов и малых токов управления, несмотря на малые внутренние емкости, заряд хватает на удержание предыдущего логического уровня на некоторое время - от долей секунды до

нескольких секунд. Появляется задержка, наличие которой зависит не от входных сигналов неисправного вентиля, а от последовательности сигналов. Наличие неисправности открытого типа переводит вентиль в класс элементов с памятью.

Вентилю с неисправностью открытого типа можно сопоставить схему с элементом памяти, которая будет имитировать поведение неисправного вентиля. Кроме того, в данную схему можно ввести активационную цепь, константная неисправность которой будет переводить ее в состояние неисправности открытого вида, а отсутствие неисправности - в нормальное функционирование вентиля. Это позволяет использовать методы отыскания константных неисправностей для обнаружения неисправности открытого типа. Рассмотрим логический элемент «ИЛИ».

На всех наборах, кроме одного, неисправный элемент «ИЛИ» ведет себя так же, как и исправный, но на одном наборе входных значений поведение неисправного элемента неочевидно (табл. 2).

Таблица 2
Таблица истинности

X1	x2	Y	y'
0	0	0	0
0	1	1	1
1	0	1	?
1	1	1	1

Подадим на данный элемент входное значение «0», «0» (x_1, x_2). Транзисторы T1, T2 закрыты, транзисторы T3, T4 открыты, выходное значение - 0. После этого подадим на этот элемент значение «1», «0». Транзисторы T1, T3 закрыты, транзисторы T2, T4 открыты, но неисправность на стоке транзистора T2 приводит к обрыву выхода. Паразитная емкость C разряжена предыдущим состоянием элемента, и потенциал выхода элемента будет соответствовать нулю. Если сначала подать значения «1», «1» и установить выход в единичное значение, а после этого подать на вход элемента «1», «0», то емкость окажется заряженной и выходное значение элемента будет равно «1».

Следует еще раз отметить, что данные значения устанавливаются на некоторое время, которое может меняться от долей секунды до нескольких секунд, так как наряду с паразитными емкостями в микросхемах присутствуют и токи утечек. Но для построения тестовых последовательностей для данного вида неисправностей мы можем считать, что

значение на выходе установится и будет оставаться неизменным до следующего воздействия на элемент. Исходя из этого, можно заменить на данном входном наборе этот логический элемент на схему с ячейкой памяти - D-триггером, оставляя при этом остальную функциональность элемента на других наборах.

Заменяя исходный элемент «ИЛИ» схемой имитации неисправности, основная функциональность блока осталась ненарушенной. Элемент D1 выполняет операцию «ИЛИ» над входами. На исправных наборах через элемент D2 выходное значение передается на выход блока. На интересующем нас неисправном наборе («1», «0»), элемент D5 логическим «0» деактивирует выход D1 и активирует D-триггер D7.

Элемент D5 кроме необходимых для имитации неисправности входов имеет еще один вход, обозначенный выводом со стрелкой «а». Данный вход единичным состоянием переводит схему в исправный элемент «ИЛИ».

Алгоритм поиска тестовых наборов

Задача алгоритма построения тестов на основе непрерывного подхода схемы - найти глобальный максимум целевой функции [3]. В данной работе использован алгоритм поиска тестовых наборов, основанный на покоординатном подъеме [4].

Внедрение в схему неисправности в виде схемы имитации позволяет получить непрерывную модель схемы. Полученный в результате работы алгоритма вектор и есть тест для рассматриваемой неисправности.

Результаты

Описанные алгоритмы и методы были реализованы в программном комплексе генерации тестовых наборов для константных неисправностей комбинационных схем и апробированы на комбинационных схемах s298, s1196, s1494 набора ISCAS [6]. В табл. 3 приведены полученные результаты.

Таблица 3
Результаты работы программы генерации тестов

Схема	Покрытие	Время
s27	32/32	0m 0,443s
s713	409/581	3m 21,424s
s1196	1239/1242	0m 47,514s

Заключение

В данной работе предложен алгоритм поиска тестовых наборов и метод моделирования неисправностей открытого типа, основанные на использовании непрерывной модели цифровой схемы. Описанные алгоритмы и методы были реализованы в программном комплексе генерации тестовых наборов для константных неисправностей комбинационных схем и апробированы на комбинационных схемах набора ISCAS [6].

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Kano H. Test pattern generation for logic networks by real number logic simulation // AUTOTESTCONF'79. - 1979. - P. 168-178.
2. Миндров А.Е., Кащеев Н.И. Использование непрерывной модели схемы для генерации тестов // Simulation and CAD systems. - 1989. - P. 47-50.
3. Кащеев Н.И., Белобородов В.В. Использование непрерывной оптимизации для генерации тестовых наборов // Системы обработки информации и управления. - Н. Новгород. - 2001. Вып. 7. - С. 21-25.
4. Кащеев Н.И., Данилов С.О. Использование методов непрерывной оптимизации для задач построения тестов последовательностных схем. - // Тез. докл. Всероссийской научно-техн. конф. «Информационные системы и технологии». - Н. Новгород. - 2002. - С. 186-187.
5. ISCAS89 Sequential Benchmark Circuits [Electronic resource] - Режим доступа: <http://computing.ece.vt.edu/~mhsiao/iscas89.html>. - Загл. с экрана.

Поступила 22.02.2012