

МЕЖДУНАРОДНЫЙ ФОРУМ
МИКРОЭЛЕКТРОНИКА-2019

МЕЖДУНАРОДНЫЙ ФОРУМ

«Микроэлектроника-2019»

Часть I

5-я Международная научная конференция
«Электронная компонентная база
и микроэлектронные модули»
Сборник докладов

Республика Крым,
г. Алушта, 30 сентября – 05 октября 2019 г.



ТЕХНОСФЕРА

IN THE ISSUE СОДЕРЖАНИЕ

Modeling electronic components and systems 241 Моделирование электронных компонентов и систем

Achieving transferability of software tests for functional co-verification of System-on-Chip projects 241
A. V. Andrianov
A. B. Andrianov

Questions of organizing (structuring) information for knowledge management in System of radio-electronic industry 246
V. V. Alekseev
S. I. Bokov
A. I. Kolyadin
A. A. Stuprinov

Laboratory set-up for extracting models of electronic component base and developing radio-electronic equipment and development of R&D 257
A. V. Zaitsev
A. S. Isaev
P. V. Maslov

SoC's clock control model for analysis automation 262
I. S. Kolbasov
F. M. Putrya

The fundamental parametric approach to synthesis of electronic systems 265
I. M. Koldaev

Specificity of developing Electronic design automation or FPGA design and verification 270
N. M. Malyshev
S. V. Rybkin

Dynamic characteristics of modern high speed synchronization systems 277
V. E. Martirosov
G. A. Alekseev

Methodological approach to assessing the technical level of domestic electronic component base 286
A. S. Afanasiev
S. I. Bokov
D. V. Matyukhin
S. S. Miloserdov
A. P. Studenovskiy

Calculating CVC betavoltaic microbatteries using a universal TCAD model 291
K. O. Petrozyants
A. A. Pugachev
I. A. Kharitonov

P.L. Macromodelling using full schematic diagram phase detector circuits 295
M. M. Gaurary
M. M. Zharov
L. P. Ionov
I. I. Muhin
S. G. Rusafov
I. M. Ten
S. L. Ulyanov

MOSFET SPICE models with account for aging effects 300
I. A. Kharitonov

УДК 621.382.323:516.48

DOI: 10.212184/1993-8578.2020.13.3с.300.307

SPICE-МОДЕЛИ МОПТ, УЧИТЫВАЮЩИЕ ЭФФЕКТЫ СТАРЕНИЯ MOSFET SPICE MODELS WITH ACCOUNT FOR AGING EFFECTS

ХАРИТОНОВ И. А. Национальный исследовательский университет «Высшая школа экономики» (Московский институт электроники и математики) 123458, г. Москва, ул. Таллинская, 34 ikharitonov@yandex.ru

KHARITONOV I. A. National Research University "Higher School of Economics" (Moscow Institute of Electronics and Mathematics, Department of Electronics Engineering) 34 Tallinskaya St., Moscow, 123458, Russia ikharitonov@hse.ru

Рассмотрены и проанализированы схемотехнические (SPICE) модели МОПТ-транзисторов для учета эффектов старения (временной деградаци) их параметров, обусловленных попаданием «горячих» носителей в подзатворный окисел вследствие сильных электрических полей в структурах МОПТ. Рассмотрены модели, используемые в коммерческих пакетах проектирования схем, предложенные другими авторами, и разработанная автором макромодель МОПТ, учитывающая указанные эффекты старения. Ключевые слова: МОПТ-транзисторы; эффекты старения; электрический стресс; эффекты горячих носителей; эффекты температурной нестабильности; SPICE-модели; макромодельный подход; MOSRA; Eldo; плотности поверхностных состояний. The paper highlights SPICE models for MOS FETs with account for aging effects. HCI and NBTI effects have been analyzed, as well as models built-in commercial simulation tools, models developed by some authors and a macromodel developed by the author.

Keywords: MOS FETs; aging; electrical stress; hot carriers; temperature instability; SPICE models; macromodeling approach; MOSRA; Eldo; density of surface states.

ВВЕДЕНИЕ

Как известно, старение (деградация параметров со временем) МОПТ обусловлено следующими основными физическими факторами [1, 2, 6]:

- генерацией «горячих» электронов и дырок (hot carriers, (HC)) в канале транзистора у стокотного перехода под действием горизонтального поля стока и их попаданием в подзатворный окисел (рис. 1а);
генерацией горячих носителей между подложкой и затвором из-за температурной нестабильности вследствие отрицательного смещения на подзатворном диэлектрике (Negative Bias Temperature Instability (NBTI) — в р-канальных МОПТ) или положительного смещения (Positive Bias Temperature Instability (PBTI) — в н-канальных МОПТ) (рис. 1б);
эффектом пробоя подзатворного диэлектрика (Time Dependent Dielectric Breakdown (TDDB)).

При этом эффекты HC проявляются обычно в р-канальных МОПТ во время переключения, а эффекты NBTI — в р-канальных транзисторах во время плоской части импульса (рис. 2). Возникшие при этом процессе высокоэнергетичные носители попадают в подзатворный диэлектрик и на границу раздела «диэлектрик — полупроводник», вызывая сдвиг порогового напряжения МОПТ-структуры и формируя дополнительные поверхностные состояния (ΔN_s, surf) на границе раздела «диэлектрик — полупроводник», уменьшающие подвижность носителей в канале и ухудшающие предпороговый наклон сток-затворной ВАХ МОПТ (см. рис. 3).

УЧЕТ ЭФФЕКТОВ HC И ВТИ ПРИ SPICE-МОДЕЛИРОВАНИИ СХЕМ

Можно выделить несколько подходов к учету эффектов «горячих носителей» при SPICE-моделировании схем:

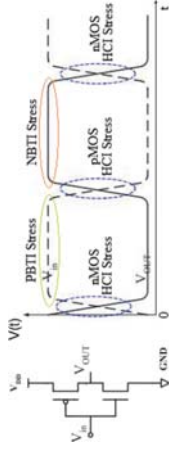


Рис. 2. Возникновение эффектов NBTI и HCI при динамической работе МОПТ-схем [16]

Fig. 2. NBTI and HCI effects during the dynamic operation of CMOS inverter [16]

- использование стандартных SPICE-моделей МОПТ с параметрами, корректируемыми пакетом SPICE-моделирования или самим проектировщиком схем в зависимости от времени долговременной работы ([7, 9, 16] и др.);
использование специальных макромодель МОПТ, учитывающих эффекты старения транзисторов за счет дополнительных схемных элементов или специальных выражений, параметры которых зависят от времени работы схемы ([1] [4] и др.) (см. рис. 5).

Одними из первых пакетов SPICE-моделирования схем с учетом эффектов старения, вызванных горячими носителями, были RELY ([7], [8]), BERT [9]. Подходы, заложенные в этих пакетах, были затем использованы в ряде коммерческих SPICE-симуляторов Cadence Spectre / UltraSim [10], Mentor Graphics Eldo [11], Synopsys MOSRA и др. Можно выделить и более новые пакеты моделирования схем с учетом эффектов старения: [15] [16] и др.

Для учета эффектов «горячих» носителей (HC) для n-канальных транзисторов обычно используют выражения для тока

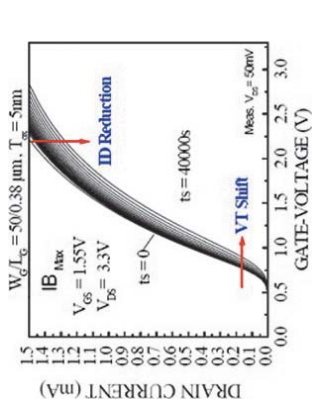


Рис. 3. Влияние эффектов «горячих носителей» на сток-затворную ВАХ n-канального МОПТ [12]

Fig. 3. Effects of "hot carriers" on the gate-drain IAC of n-channel MOSFET [12]

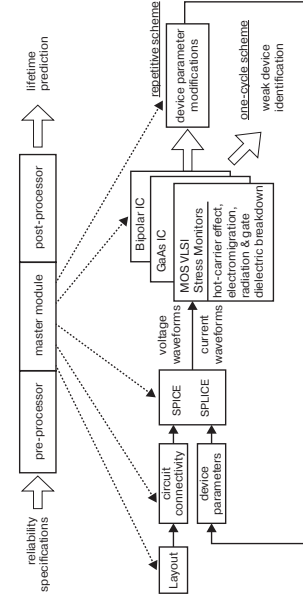


Рис. 4. Типовой маршрут моделирования работы схем с учетом эффектов старения в системе BERT [6, 7, 8]

Fig. 4. A typical circuit simulation flow considering the aging effects used in BERT system [6, 7, 8]

INTRODUCTION

As it is known aging (degradation of parameters over time) of MOSFETs is due to the following main physical factors [1], [2], [6]:

- the generation of hot carriers between the substrate and the gate due to temperature instability due to negative bias on the gate dielectric ("Negative Bias Temperature Instability", (NBTI) in p-channel MOSFETs) or positive bias ("Positive Bias Temperature Instability", (PBTI) — in n-channel MOSFETs) (Fig. 1b);
the effects of gate dielectric breakdown ("Time Dependent Dielectric Breakdown (TDDB)").

In this case, the effects of HC are usually manifested in n-channel MOSFETs during switching, and the effects

of NBTI — in p-channel transistors during the flat part of the pulse (Fig. 2).

The high-energy carriers resulting from this process fall into the gate dielectric and into the dielectric — semiconductor interface, causing a threshold voltage shift of the MOS structure and forming additional surface states (ΔN_s, surf) at the dielectric — semiconductor interface, which decrease the carrier mobility in channel and worsen the threshold slope of the drain-gate VAC of the MOSFET (see. Fig. 3).

ACCOUNTING FOR HC AND BTI EFFECTS IN SPICE SIMULATION OF MOSFET CIRCUITS

There are several approaches to account for the effects of "hot carriers" in the process of SPICE simulation:

- using standard SPICE MOSFET models with parameters that are corrected by the SPICE modeling tool or by the circuit designer himself depending on the time of long-term operation of the circuit ([7], [9], [16] etc.);
using special macro models for MOSFET, taking into account the effects of transistor aging using additional circuit elements or specific expressions, which depend on the circuit live time ([1], [4] etc.).

One of the first SPICE simulators considering the effects of aging caused by hot carriers were: RELY ([7], [8]), BERT [9]. Approaches inherent in these packages were later used in a number of commercial SPICE simulators as: Cadence Spectre / UltraSim [10], Mentor Graphics Eldo [11], Synopsys MOSRA, and in a new circuit simulation packages [15], [16] etc.

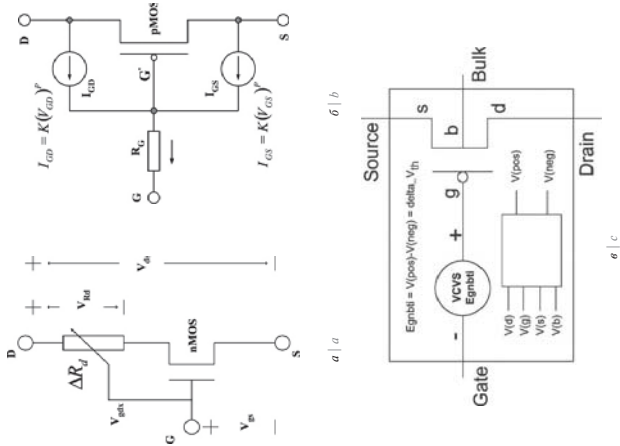


Рис. 5. SPICE-макромодели для учета эффектов НС (а) [13], NBVTI (б) [13], (в) [14] в МОПТ
Fig. 5. SPICE macro models for MOSFET to account for the effects of HC (a) [13], NBVTI (b) [13], (c) [14]

подложки (I_{sub}), а для р-каналовых — тока утечки затвора (I_{g}) [4], [6] и др.). При этом принято считать, что деградация параметров МОПТ пропорциональна плотностям этих токов. Для расчета,

To account for the effects of “hot carriers” (HC) for n-channel transistors the expression of the substrate current (I_{sub}) and the gate leakage current (I_{g}) — for the p-channel MOSFET are used [4], [6] etc.). It is generally accepted that the degradation of the MOSFET parameters is proportional to the densities of these currents. To calculate the substrate and gate currents, the known physical dependences [3] [5] [6] and others) are traditionally used. These currents depend on gate and drain voltages, channel length and other parameters of the MOSFET structure.

The damages caused by the effects of temperature instability (NBVTI and PBTI) are usually considered in the form of two components: long-term slowly accumulated component, “non-annealed” (under normal conditions) component (“permanent damage”)

токов подложки и затвора используются известные физические зависимости (3, 5, 6) и др.) этих токов от напряжений на затворе и стоке, длины канала и других параметров МОП-структуры.

Вызываемые эффектом температурной нестабильности (NBVTI и PBTI) повреждения обычно рассматриваются в виде двух составляющих: долговременных медленно накапливаемых и «неотжигаемых» при нормальных условиях (репартент damage) а также быстро возникающих и быстро отжигающихся (recoverable damage) [2]. Каждая из указанных составляющих рассматривается в виде произведения экспоненциальной зависимости от напряжения на затворе V_{gs} , экспоненциальной зависимости от температуры T с энергией активации E_a и временной составляющей в виде степенной или логарифмической функций.

Сам процесс SPICE-моделирования работы схем с учетом эффектов старения обычно состоит из двух этапов (см. рис. 4).

1. Анализ работы схемы в рабочем режиме и течение определенного количества тактов работы схемы. Определение степени проявления эффектов НС и ВТИ за этот период. Расчет коэффициентов деградации для каждого вида эффектов.

2. Корректировка параметров SPICE-моделей МОПТ с учетом полученных на предыдущем этапе коэффициентов деградации и моделирование работы схемы через продолжительное время работы или учет этих изменений в специально разработываемой макромодели МОПТ, учитывающей эффекты старения (см. рис. 5).

ПРЕДЛАГАЕМАЯ SPICE-МОДЕЛЬ МОПТ С СОВМЕЩЕННЫМ УЧЕТОМ ЭФФЕКТОВ СТАРЕНИЯ И РАДИАЦИИ

Автором данной работы ранее была развита макромодель стойкого МОПТ [18, 20], учитывающая совместное воздействие тепловых и радиационных эффектов, использующая макромодельный подход и зависимость параметров модели от наведенных излучением плотностей дырочного заряда $\Delta N_{p,ind}$ и поверхностных состояний $\Delta N_{s,ind}$, которые, в свою очередь, зависят от полученной дозы и температуры. Поскольку при воздействии факторов электрического стресса на МОПТ также образуются носители $\Delta N_{p,trans}$, $\Delta N_{s,trans}$ то для обеспечения сопряжения моделей старения и радиационной модели был разработан вариант

coefficients obtained at the previous stage and modeling the operation of the circuit after a long operating time or accounting for these in the specially developed MOSFET macro-model (see Fig. 5). Estimation of circuit lifetime.

Earlier the author of this paper developed the macro model of MOSFET taking into account the combined effects of thermal and radiation effects [18]. The macro-model parameter dependences on the radiation induced hole charge $\Delta N_{p,ind}$ and surface states $\Delta N_{s,ind}$ densities. Since the impact of electrical stress factors also results in additional $\Delta N_{p,trans}$, $\Delta N_{s,trans}$ formation, then it is possible to combine these defect densities and to provide integrated account for radiation and aging effects using our model [20].

макромодели стойкого МОПТ для учета эффектов НС1 и NBVTI за счет использования значений $\Delta N_{p,trans}$, $\Delta N_{s,trans}$ [20], зависящих от конструктивных особенностей МОП-структуры, электрического режима и времени работы схемы.

В разработанной макромодели используются традиционные зависимости основных параметров SPICE-модели МОП [18], [20] от наведенных стрессом плотностей $\Delta N_{p,trans}$, $\Delta N_{s,trans}$:

$$I_{TH}(stress_time) = I_{TH}(0) \pm \frac{(\Delta N_{p,trans,HC}(stress_time) + \Delta N_{p,trans,BTI}(stress_time)) \cdot q}{C_{ns}} \quad (1)$$

$$U(0)(stress_time) = \frac{U(0)}{1 + \alpha_g \cdot (\Delta N_{p,trans,HC}(stress_time) + \Delta N_{p,trans,BTI}(stress_time))} \quad (2)$$

где I_{TH0} — параметр модели МОПТ, описывающий пороговое напряжение; $U(0)$ — параметр модели МОПТ, описывающий подвижность; $\Delta N_{p,trans,HC}$; $\Delta N_{s,trans,HC}$; $\Delta N_{p,trans,BTI}$; $\Delta N_{s,trans,BTI}$ — наведенные электрическим стрессом плотности поверхностных состояний для НС1 и ВТИ; $stress_time$ — время воздействия стресса.

При совместном воздействии факторов электрического стресса и радиации наведенные ими плотности поверхностных состояний и дырочного заряда суммируются:

$$I_{TH}(0)(stress_time, Dose) = I_{TH}(0) \pm \frac{(\Delta N_{p,trans,HC}(stress_time) + \Delta N_{p,trans,BTI}(stress_time) + \Delta N_{p,ind}(Dose)) \cdot q}{C_{ns}} \quad (3)$$

$$U(0)(stress_time, Dose) = \frac{U(0)}{1 + \alpha_g \cdot (\Delta N_{p,trans,HC}(stress_time) + \Delta N_{p,trans,BTI}(stress_time) + \Delta N_{p,ind}(Dose))} \quad (4)$$

где $\Delta N_{p,trans,rad}$; $\Delta N_{s,trans,rad}$ — наведенные за счет облучения плотности поверхностных состояний и дырочного заряда. $Dose$ — полученная доза.

THE PROPOSED MOSFET SPICE MODEL WITH A COMBINED ACCOUNT FOR AGING AND RADIATION EFFECTS

In the developed macro model, the traditional dependences of the main parameters of the MOSFET SPICE model (threshold voltage, mobility, subthreshold swing) (see [18], [20]) on the stress induced $\Delta N_{p,trans}$, $\Delta N_{s,trans}$ densities are used too (see Eq. 1–2).

$$I_{TH}(0)(stress_time) = I_{TH}(0) \pm \frac{(\Delta N_{p,trans,HC}(stress_time) + \Delta N_{p,trans,BTI}(stress_time)) \cdot q}{C_{ns}} \quad (1)$$

$$U(0)(stress_time) = \frac{U(0)}{1 + \alpha_g \cdot (\Delta N_{p,trans,HC}(stress_time) + \Delta N_{p,trans,BTI}(stress_time))} \quad (2)$$

where I_{TH0} is parameter of threshold voltage of MOSFET, $U(0)$ — parameters of MOSFET mobility after and before electrical stress, $\Delta N_{p,trans,HC}$; $\Delta N_{s,trans,HC}$; $\Delta N_{p,trans,BTI}$; $\Delta N_{s,trans,BTI}$ — HC1 stress and BTI stress induced densities

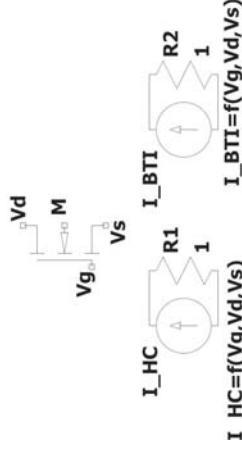


Рис. 6. Разработанная SPICE-макромодель МОПТ для учета эффектов НС и ВТИ
Fig. 6. The developed SPICE macro models for MOSFET to account for the aging effects (HC and BTI)

В макромодели добавлены генераторы тока (I_{sub} , I_{g}), описывающие скачки токов вследствие эффектов НС1 и NBVTI/PBTI соответственно (см. рис. 6) и зависящие от режима работы транзистора в соответствии с физическими особенностями этих эффектов.

Процесс моделирования схем с учетом эффектов старения, как в других подходах, состоит из двух этапов:

- моделирование работы схем с исходными значениями параметров моделей МОПТ в течение нескольких тактов, анализ и интегрирование скачков токов генераторов НС1 и NBVTI, оценка уровня деградации за время моделирования. Оценка коэффициентов деградации по каждому виду дефектов;
- коррекция параметров модели МОПТ с учетом найденных (на предыдущем этапе) коэффициентов деградации для длительного времени работы схемы (месяцы, годы), анализ работоспособности схемы с этими значениями параметров, оценка деградации параметров схемы за время работы.

В качестве иллюстрации на рис. 7а, б приведены временные диаграммы работы КМОП-инвертора ($L = 150$ нм, $W = 330$ нм (NMOPТ), $W = 500$ нм (PMOPТ)) и вентильского генераторов токов

of interface traps (on the Si-gate isolator interface), $stress_time$ — stress time.

For combined electrical stress and radiation effects the developed model sums densities of interface traps and oxide charges due to electrical stress and radiation influence:

$$I_{TH}(0)(stress_time, Dose) = I_{TH}(0) \pm \frac{(\Delta N_{p,trans,HC}(stress_time) + \Delta N_{p,trans,BTI}(stress_time) + \Delta N_{p,ind}(Dose)) \cdot q}{C_{ns}} \quad (3)$$

$$U(0)(stress_time, Dose) = \frac{U(0)}{1 + \alpha_g \cdot (\Delta N_{p,trans,HC}(stress_time) + \Delta N_{p,trans,BTI}(stress_time) + \Delta N_{p,ind}(Dose))} \quad (4)$$

where $\Delta N_{p,trans,rad}$; $\Delta N_{s,trans,rad}$ are radiation induced densities of interface traps and oxide charges, $Dose$ — total dose.

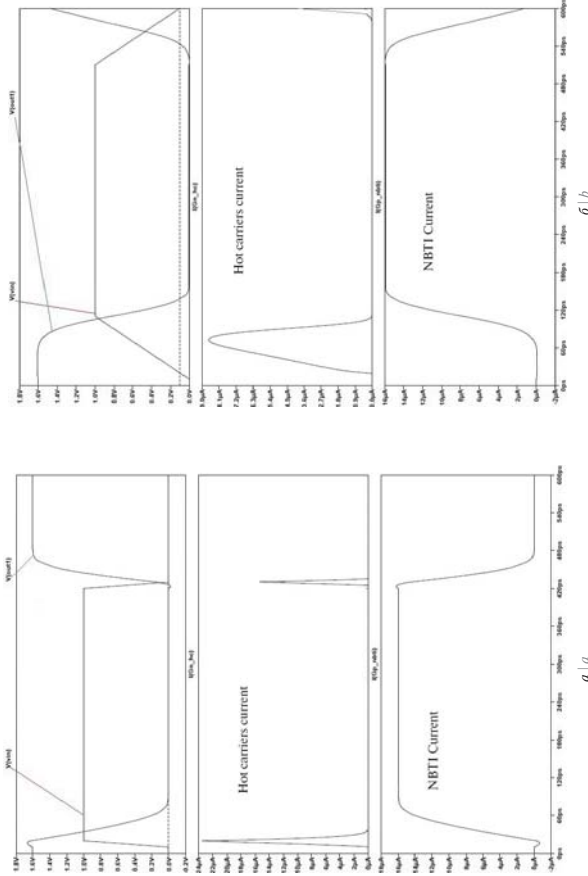


Рис. 7. Переходные характеристики КМОП-инвертера и скачки токов вследствие НСИ и NBTI при работе КМОП-инвертера ($L = 150$ нм, $W = 330$ нм), рассчитанные с помощью разработочной макромодели, для разных длительностей фронтов входных сигналов (данные по деградации МОПТ взяты из работ [1], [19] и др.)

Fig. 7. Simulated transient characteristics of CMOS inverter ($L = 150$ nm, $W = 330$ nm) and current jumps due to NBTI and HCI simulated by the macro-model, for different durations of the fronts of the input signals

Special current generators (L, HC, I, BTI) have been added to the MOSFET macromodel (see Fig. 6), which describe currents due to the effects of HCI and NBTI, depending on the operation mode of the transistor in accordance with the physical features of these effects.

The process of circuit modeling with account for the aging effects (using the developed macromodel), as in the other approaches, consists of two stages:

- simulation of the circuit behavior using the initial values of MOSFET model parameters within a small amount of clock cycles. Analysis and integration of HCI and NBTI currents jumps, assessment of the level of degradation during the simulation. Evaluation of degradation factors for each type of defect;
- correction of the model parameters (using degradation coefficients found in the previous step) for a long operating time of the circuit (months, years), analysis of the operation of the circuit with these parameter values, estimation of the degradation of the circuit parameters during long time operation.

CONCLUSIONS

MOSFET macromodel has been developed, which accounts for the dependences of the main SPICE model parameters on the gate insulator charge and surface states at the insulator-silicon interface induced by electrical stress (HCI and BTI). Additional current generators, describing "hot" carriers effects, have been added to the macromodel. The jumps of these currents are integrated and used to quantify the densities of induced defects and to define coefficients of model parameter degradation. Degradation of MOSFET circuits under the circuit action for a long time of operation with specific electrical stress conditions is calculated then.

The use of induced defect densities makes it possible to correctly combine the MOS aging model with the previously developed "electro-thermo-rad" MOS model for predicting the characteristics of MOS circuits operating in harsh operating conditions under the combined influence of temperature, aging, and radiation factors.

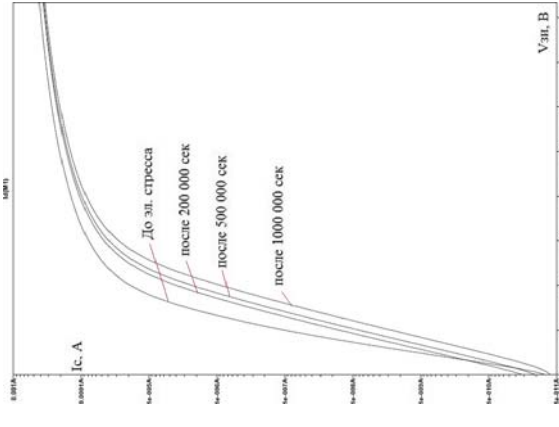


Рис. 8. Смоделированная сток-затворная ВАХ n-канального МОПТ для различных значений времени электрического стресса (данные по деградации МОПТ взяты из работ [1], [19] и др.)

Fig. 8. Modeled n-channel MOSFET drain-gate characteristics after electrical stress for a set of working times (degradation data were taken from [1], [19] and etc.)

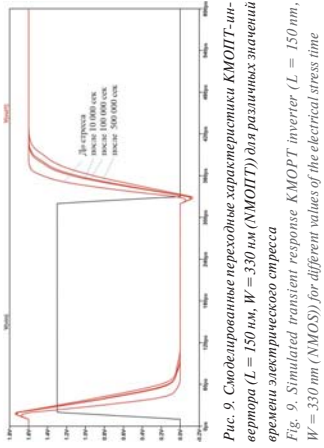


Рис. 9. Смоделированные переходные характеристики КМОП-инвертера ($L = 150$ нм, $W = 330$ нм) (ММОПТ) для различных значений времени электрического стресса

Fig. 9. Simulated transient response CMOS inverter ($L = 150$ nm, $W = 330$ nm) (MOMS) for different values of the electrical stress time

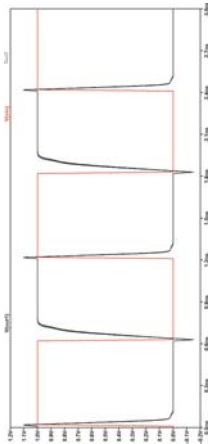
для НС и NBTI-эффектов. Настройка модели старения проводилась на основе результатов измерений работ [1], [19] и др. Используя полученные значения модели старения, анализировали как характеристики самих транзисторов (рис. 8), так и логические схемы для длительных периодов их работы. Пример для инвертора приведен на рис. 9. Полученные оценки характеристик цифровых схем при их длительной работе достаточно хорошо совпадают с результатами измерений схем, представленными в других работах ([1], [2], [19] и др.).

Смоделированные переходные характеристики КМОП-инвертера ($L = 130$ нм, $W = 300$ нм) при совместном воздействии полученной дозы и электрического стресса приведены на рис. 10а–в. Данные по деградации вследствие электрического стресса и полученной дозы взяты из работ [2], [21]. Видно, что при совместном воздействии факторов деградации характеристик схемы заметно выше, чем при их отдельном воздействии.

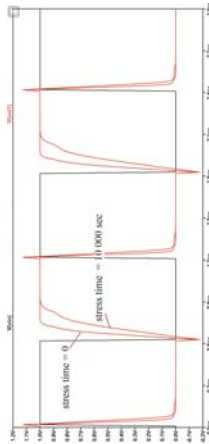
In this research, the results of the TZ-99 program, completed in 2019 as part of the HSE Program of Fundamental Research and grant № 08-07-00898-a of the Russian Federal Property Fund were used.

REFERENCES

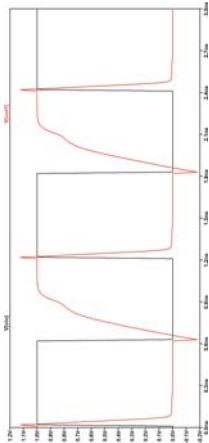
- Velamala J. B. Compact Modeling and Simulation for Digital Circuit Aging. Dissertation Presented in Partial Fulfillment of the Requirements for the Degree Doctor of Philosophy. Arizona State University, 2012.
- Natahla RUIZ. Multilevel aging phenomena analysis in complex ultimate CMOS designs. These pour obtenir le grade de Docteur de L'université De Grenoble, 2012.
- Miura-Mattauschia M., Miyamoto H., Kikuchiara H., Mahta T. K., Rohban N., Navarro D. Compact modeling of dynamic trap density evolution for predicting circuit reliability simulator-RELY. IEEE Journal of Solid-State Circuits, Vol. 24, Issue: 2, 1989, P. 473–478.
- Wenping Wang, Vijay Reddy, Anand T. Krishnan, Rakesh Vattikonda, Srikanth Krishnan, and Yu Cao / Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology. IEEE Transactions On Device And Materials Reliability, Vol. 7, №4, December 2007, P. 509.
- Wei Li, Qiang Li, JS Yuan, Joshua McConeky. Hot-carrier-Induced Circuit Degradation for 0.18µm CMOS Technology. Proc. of the 2nd International IEEE Symposium on Quality Electronic Design, 2001, P. 284–289.
- Hsu Wen-Jay, Bing J. Sheu, Sudhir M. Gowda, Ch.-Gyu Hwang. Advanced Integrated-Circuit Reliability Simulation Including Dynamic Stress Effects. IEEE Journal of Solid-State Circuits, Vol. 21, №3, 1992, P. 247–257.
- Sheu B.J., Hsu W.-J., Lee B.W. An integrated-circuit reliability simulator-RELY. IEEE Journal of Solid-State Circuits, Vol. 24, Issue: 2, 1989, P. 473–478.
- Tu R. H., Rosenbaum E., Chan W. Y., Li C. C., Minami E., Quader K., Ko P. K. and Hu C. Berkeley reliability tools-BERT, IEEE Trans. Comput. — Aided Des. Integr. Circuits Syst. Vol. 12, №10, P. 1524–1534.
- Zh. Liu, BW McLaughly, JZ Ma. Design Tools for Reliability Analysis, Proc. of the 43rd ACM / IEEE Design Automation Conference, 2006, P. 182–187.
- Reliability Simulation in Integrated Circuit Design, White paper. P. 1–11, Cadence Design Systems, Inc. [Online]. Available: http://www.cadence.com/whitepapers/5083_ReliabilitySim_FNL_WP.pdf.
- Karam M., Fikry W., Haddara H. and Ragai H. Implementation of hot-carrier reliability simulation in Eldo, the 2001 IEEE International Symposium on Circuits and Systems (ISCAS) 2001, Vol. 5, P. 515–518.
- M. Selim. Circuit Aging Tools Reliability Verification In ELDO. Proc. of MS, MOS-AK Q4, 2015.



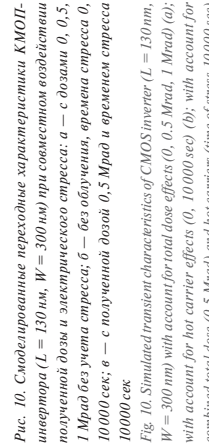
(a) Dose = 0, 0.5, 1 Mrad, stress time = 0



(b) Dose = 0, stress time = 0, 10000 sec



(c) Dose = 500 Mrad, stress time = 10000 sec.



(d) Dose = 0, 0.5 Mrad, stress time = 10000 sec

Рис. 10. Смоделированные переходные характеристики КМОП-инвертора ($L = 130$ нм, $W = 300$ нм) при совместном воздействии полученной дозы и электрического стресса: а — с дозами 0, 0,5, 1 Mrad без учета стресса; б — без облучения, времени стресса 0, 10000 сек; в — с полученной дозой 0,5 Mrad и временем стресса 10000 сек

Fig. 10. Simulated transient characteristics of CMOS inverter ($L = 130$ nm, $W = 300$ nm) with account for total dose effects (0, 0.5 Mrad, 1 Mrad) (a); with account for hot carrier effects (0, 10000 sec) (b); with account for combined total dose (0.5 Mrad) and hot carriers (time of stress 10000 sec) effects (c)

ВЫВОДЫ

Разработана макромодель МОПТ, в которую введены зависимости основных параметров SPICE-модели от наведенных (за счет «высокоэнергетичных» носителей) плотностей дырочного заряда в подзатворном диэлектрике и поверхностных состояний на границе «диэлектрик — кремний», а также дополнительные генераторы токов, вызванных эффектами НС и НВТ. Скачки этих токов используются для количественной оценки деградации параметров МОПТ под действием конкретного электрического стресса и расчета значений плотностей наведенных электрических дефектов.

13. XiaoJun Li, Jin Qin, Bing Huang, Xinhou Zhang, JB Bernstein. *A new SPICE reliability simulation method for deep submicrometer CMOS VLSI circuits*. IEEE Transactions on Device and Materials Reliability, Vol. 6, Issue: 2, June 2006. P. 247–257.
14. Wenping Wang, Vijay Reddy, Anand T. Krishnan, Rakesh Vattikonda, and Yu Cao. *Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology*. IEEE Transactions On Device And Materials Reliability, Vol. 7, №4, December 2007. P. 511–516.
15. Chenyue Ma, Mansun Chan. *A New Paradigm for Circuit Reliability Simulation with // Model Embedded Aging Modules*. Hong Kong University of Science & Technology, Department of Electronic & Comp. Engineering.
16. Ch-Chi. Chen, Cha S., Liu T. and Milor L. *System-Level Modeling of Microprocessor Reliability Degradation Due to BTI and HCI* // Proc. of 2014 IEEE International Reliability Physics Symposium, 2014. P. CA.8.1-CA.8.9.
17. Wang W., Reddy V., Krishnan An. T., Vattikonda R., Krishnan Srikanth, Yu Cao. *An Integrated Modeling Paradigm of Circuit Reliability for 65nm CMOS Technology* // Proc. of IEEE 2007 Custom Integrated Circuits Conference (CICC), 2007. P. 511–516.
18. Petrosyans K. O., Sambursky L. M., Kharitonov I. A., Lvov B. G. *Radiation-Induced Fault Simulation of SOI/SOS CMOS LSI's Using Universal Rad-SPICE MOSFET Model* // Journal of Electronic Testing: Theory and Applications (JETTA), 2017. Vol. 33. № 1. P. 37–51.
19. Wei Li, Qiang Li, Yuan J.S., McConkey J., Yuan Chen, Chelur S., Zhou J., Oates A.S. *Hot-carrier-induced circuit degradation for 0.18-µm CMOS technology* // Proc. of the IEEE 2001. 2nd International Symposium on Quality Electronic Design, 2001. P. 284–289.
20. Petrosyans K. O., Kharitonov I. A. *SPICE Simulation of Total Dose and Aging Effects in MOSFET Circuits* // Proc. of IEEE East-West Design and Test Symp., 2018. P. 760–765.
21. Zheng Q. et al. *Direct measurement and analysis of total ionizing dose effect on 130nm PD SOI SRAM cell static noise margin* // Chinese Phys. B 26, 2017 096103.
22. Silvestri M., Gerardin S., Paceagnella A., Faccio F., Gonella L. *Channel Hot Carrier Stress on Irradiated 130-nm NMOS FETs*. IEEE Trans. on Nucl. Sci. Vol. 55. №4, 2008. P. 1960–1967.
19. Wei Li, Qiang Li, Yuan J.S., McConkey J., Yuan Chen, Chelur S., Zhou J., Oates A.S. *Hot-carrier-induced circuit degradation for 0.18-µm CMOS technology* // Proc. of the IEEE 2001. 2nd International Symposium on Quality Electronic Design, 2001. P. 284–289.
20. Petrosyans K. O., Kharitonov I. A. *SPICE Simulation of Total Dose and Aging Effects in MOSFET Circuits* // Proc. of IEEE East-West Design and Test Symp., 2018. P. 760–765.
21. Zheng Q. et al. *Direct measurement and analysis of total ionizing dose effect on 130nm PD SOI SRAM cell static noise margin* // Chinese Phys. B 26, 2017 096103.
22. Silvestri M., Gerardin S., Paceagnella A., Faccio F., Gonella L. *Channel Hot Carrier Stress on Irradiated 130-nm NMOS FETs*. IEEE Trans. on Nucl. Sci. Vol. 55. №4, 2008. P. 1960–1967.

ЛИТЕРАТУРА

1. Velamala J. B. *Compact Modeling and Simulation for Digital Circuit Aging*. Dissertation Presented in Partial Fulfillment of the Requirements for the Degree Doctor of Philosophy, Arizona State University, 2012.
2. Natalia RUIZ. *Multilevel aging phenomena analysis in complex ultimate CMOS designs*. These pour obtenir le grade de Docteur de l'université De Grenoble, 2012.
3. Miura-Mattauscha M., Miyamoto H., Kikuchi-haraa H., Matsumura T. K., Rohbamb N., Navarroa D. *Compact modeling of dynamic trap density evolution for predicting circuit performance aging* // Microelectronic Reliability, 80 (2018). P. 164–175.
4. Wenping Wang, Vijay Reddy, Anand T. Krishnan, Rakesh Vattikonda, Srikanth Krishnan, and Yu Cao. *Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology* // IEEE Transactions On Device And Materials Reliability, Vol. 7, №4, December 2007. P. 509.
5. Wei Li, Qiang Li, Yuan J.S., Joshua McConkey. *Hot-carrier-Induced Circuit Degradation for 0.18 µm CMOS Technology* // Proc. of the 2nd International IEEE Symposium on Quality Electronic Design, 2001. P. 284–289.
6. Wen-Jay Hsu, Bing J. Sheu, Sudhir M. Gowda, Ch.-Gyu Hwang. *Advanced Integrated-Circuit Reliability Simulation Including Dynamic Stress Effects* // IEEE Journal of Solid-State Circuits, Vol. 21, N.3, 1992. P. 247–257.
7. Sheu B. J., W.-J. Hsu; Lee B. W. *An integrated-circuit reliability simulator-RELY* // IEEE Journal of Solid-State Circuits, Vol. 24, Issue:2, 1989. P. 473–478.
8. Tu R.H., Rosenbaum E., Chan W.Y., Li C.C., Minami E., Quader K., Ko P.K. and Hu C. *Berkeley reliability tools-BERT* // IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst. Vol. 12, №10. P. 1524–1534.
9. Lin Zh., McLaughly B.W., Ma J.Z. *Design Tools for Reliability Analysis* // Proc. of the 43rd ACM/IEEE Design Automation Conference, 2006. P. 182–187.
10. Reliability Simulation in Integrated Circuit Design, White paper. P. 1–11, Cadence Design Systems, Inc. [Online]. Available: http://www.evidence.com/whitepapers/5082_ReliabilitySim_FNL_wp.pdf.
11. Karan M., Fikry W., Haddara H. and Ragai H. *Implementation of hot-carrier reliability simulation in Eldo* // the 2001 IEEE International Symposium on Circuits and Systems (ISCAS), 2001. Vol. 5. P. 515–518.
12. Seim M. *Circuit Aging Tools Reliability Verification in ELDO* // Proc. of MS, MOS-AK-Q4, 2015.
13. XiaoJun Li; Jin Qin; Bing Huang; Xinhou Zhang; Bernstein J. B. *A new SPICE reliability simulation method for deep submicrometer CMOS VLSI circuits* // IEEE Transactions on Device and Materials Reliability, Vol. 6, Issue: 2, June 2006. P. 247–257.
14. Wenping Wang, Vijay Reddy, Anand T. Krishnan, Rakesh Vattikonda, Srikanth Krishnan, and Yu Cao. *Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology* // IEEE Transactions On Device And Materials Reliability, Vol. 7, №4, December 2007. P. 509.
15. Chenyue Ma, Mansun Chan. *A New Paradigm for Circuit Reliability Simulation with // Model Embedded Aging Modules*. Hong Kong University of Science & Technology, Department of Electronic & Comp. Engineering.
16. Ch-Chi. Chen, Cha S., Liu T. and Milor L. *System-Level Modeling of Microprocessor Reliability Degradation Due to BTI and HCI* // Proc. of 2014 IEEE International Reliability Physics Symposium, 2014. P. CA.8.1-CA.8.9.
17. Wang W., Reddy V., Krishnan An. T., Vattikonda R., Krishnan Srikanth, Yu Cao. *An Integrated Modeling Paradigm of Circuit Reliability for 65nm CMOS Technology* // Proc. of IEEE 2007 Custom Integrated Circuits Conference (CICC), 2007. P. 511–516.
18. Petrosyans K. O., Sambursky L. M., Kharitonov I. A., Lvov B. G. *Radiation-Induced Fault Simulation of SOI/SOS CMOS LSI's Using Universal Rad-SPICE MOSFET Model* // Journal of Electronic Testing: Theory and Applications (JETTA), 2017. Vol. 33. № 1. P. 37–51.
19. Wei Li, Qiang Li, Yuan J.S., McConkey J., Yuan Chen, Chelur S., Zhou J., Oates A.S. *Hot-carrier-induced circuit degradation for 0.18-µm CMOS technology* // Proc. of the IEEE 2001. 2nd International Symposium on Quality Electronic Design, 2001. P. 284–289.
20. Petrosyans K. O., Kharitonov I. A. *SPICE Simulation of Total Dose and Aging Effects in MOSFET Circuits* // Proc. of IEEE East-West Design and Test Symp., 2018. P. 760–765.
21. Zheng Q. et al. *Direct measurement and analysis of total ionizing dose effect on 130nm PD SOI SRAM cell static noise margin* // Chinese Phys. B 26, 2017 096103.
22. Silvestri M., Gerardin S., Paceagnella A., Faccio F., Gonella L. *Channel Hot Carrier Stress on Irradiated 130-nm NMOS FETs*. IEEE Trans. on Nucl. Sci. Vol. 55. №4, 2008. P. 1960–1967.



ТЕХНОСФЕРА

РЕКЛАМНО-ИЗДАТЕЛЬСКИЙ ЦЕНТР

www.technosphere.ru





НАУКА И ТЕХНОЛОГИИ

НАНОЭЛЕКТРОНИКА

ФОТОНИКА

ЦИФРОВАЯ ЭКОНОМИКА

ЭЛЕКТРОНИКА

И ЭЛЕКТРОНИКА

И ЭЛЕКТРОНИКА

И ЭЛЕКТРОНИКА

ПРИ ПОДДЕРЖКЕ



РОСТЕХ



СИСТЕМА



Элемент

ОРГАНИЗАТОРЫ



ПРОГРЕСС
НИИ микроэлектронной техники



НИИМЭ
НИИ микроэлектронной техники

KEYASIC



МИЭТ

НАЦИОНАЛЬНЫЙ
ИССЛЕДОВАТЕЛЬСКИЙ
УНИВЕРСИТЕТ



ПроКонф

ГЕНЕРАЛЬНЫЙ ПАРТНЕР



Концерн ВКО
Алмаз - Антей

ПАРТНЕРЫ



Postec
corporate group



Module
RESEARCH CENTRE

TDK-Lambda
CENTRAL OFFICIAL DISTRIBUTOR

АЛТМАСТЕР
производство электроники

CITY
ELECTRONICS

ГЕНЕРАЛЬНЫЙ ИНФОРМАЦИОННЫЙ ПАРТНЕР



ТЕХНОСФЕРА
Рекламно-издательский центр

ОТРАСЛЕВЫЕ ИНФОРМАЦИОННЫЕ ПАРТНЕРЫ



АССОЦИАЦИЯ
РАЗРАБОТЧИКОВ
И ПРОИЗВОДИТЕЛЕЙ
ЭЛЕКТРОНИКИ

Информационно-образовательный
Центр Современной Электроники

НОВАЯ
ИНЖЕНЕРНАЯ
ШКОЛА

SEMIEXP
RUSSIA



ChipExPO-2019
компания | организация | выставка



Журнал – www.nanoindustry.ru
Издательство – www.technosphere.ru

СПЕЦВЫПУСК 96
2020