

ISSN 2078-7707

МЭС-2016

VII Всероссийская научно-техническая конференция

**ПРОБЛЕМЫ РАЗРАБОТКИ
ПЕРСПЕКТИВНЫХ
МИКРО- и НАНОЭЛЕКТРОННЫХ
СИСТЕМ – 2016
(МЭС-2016)**

СБОРНИК ТРУДОВ. Часть II

«Верификация и тестирование»

«Высокопроизводительные вычислительные
микроэлектронные системы»



*Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроэлектронике
Российской академии наук*

3 – 7 октября 2016 года

А

Адамов Ю.Ф., Балака Е.С., Рухлов В.С. (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*) сессия 6.1

Схемотехника электронных устройств, работающих в условиях электромагнитных помех 

Андреев Д.А., Копцев Д.А. (*ПАО "Микрон", г. Москва*) сессия 6.3

Интегральный цифровой 6-битный аттенуатор для диапазона 8-12 ГГц 

Антюфеев Г.В., Жуков В.В. (*МГУ им. М.В. Ломоносова, г. Москва*), **Зенин Е.Ю.** (*ОАО «ИНЭУМ им. И.С.Брука», г. Москва*), **Шуплецов М.С.** (*МГУ им. М.В. Ломоносова, г. Москва*) сессия 1.1

Методы разбиения логических схем для оптимизации решения задач проверки эквивалентности и функциональной коррекции схем 

Арутюнян А.Г. (*Государственный инженерный университет Армении, г. Ереван*) сессия 7.2

Размещение логических ячеек интегральных схем с одновременным учетом быстродействия и теплового режима 

Аряшев С.И., Бычков К.С. (*ФГУ "ФНЦ НИИСИ РАН", г. Москва*) сессия 5.9

Оптимизация механизма предварительного считывания в кэш-памяти второго уровня 

Б

Балашов Е.В., Коротков А.С., Румянцев И.А. (*Санкт-Петербургский политехнический университет Петра Великого, г. Санкт-Петербург*) сессия 6.3

Интегральный шестиразрядный векторный фазовращатель S-диапазона частот со сниженной ошибкой установки фазы 

Баранов А.А. (*Санкт-Петербургский государственный электротехнический университет, ООО "Сенситроника", г. Санкт-Петербург*), **Сафьянников Н.М.** (*Санкт-Петербургский государственный электротехнический университет, ООО "ЛЭТИНТЕХ", г. Санкт-Петербург*) сессия 7.5

Схемо-топологическое проектирование ячеек СБИС 

Барских М.Е. (*ФГУ "ФНЦ НИИСИ РАН", г. Москва*) сессия 5.9

Исследование способов построения блока динамического предсказания ветвлений для перспективных микропроцессоров разработки НИИСИ РАН 

Беклемишев Д.Н., Переверзев А.Л., Янин В.И. (*Национальный исследовательский университет «МИЭТ», г. Зеленоград*) сессия 9.6

Малогобаритный высокочувствительный датчик приближения инфракрасного диапазона 

Бибило П.Н. (*Объединенный институт проблем информатики НАН Белоруссии, г. Минск*) сессия 1.1

Применение VHDL моделей неполностью определенных булевых функций при проектировании цифровых схем 

Бирюков В.Н., Пилипенко А.М. (*Южный федеральный университет, г. Таганрог*) сессия 2.1

Адаптивный алгоритм случайного поиска для задач параметрической идентификации моделей электронных компонентов 🇷🇺

Боруздина А.Б. (*ОАО "ЭНПО Специализированные электронные системы", Национальный исследовательский ядерный университет "МИФИ", г. Москва*), **Темирбулатов М.С.** (*ПАО "Микрон", г. Москва*), **Печенкин А.А.** (*ОАО "ЭНПО Специализированные электронные системы", г. Москва*), **Уланова А.В.** (*Институт экстремальной прикладной электроники НИЯУ «МИФИ», ОАО "ЭНПО Специализированные электронные системы", г. Москва*), **Яшанин И.Б.** (*ФГУП "ФНЦ НИИИС им. Ю.Е. Седакова", г. Нижний Новгород*), **Эннс В.И.** (*ПАО "Микрон", г. Зеленоград*), **Яненко А.В.** (*ОАО "ЭНПО Специализированные электронные системы", Национальный исследовательский ядерный университет "МИФИ", г. Москва*), **Чумаков А.И.** (*Национальный исследовательский ядерный университет "МИФИ", г. Москва*) сессия 10.4

Особенности экспериментальных методов исследования микросхем памяти с помехоустойчивым кодированием данных 🇷🇺

Быков С.А. (*Strategic CAD Labs, Intel Corporation, г. Москва*), **Рыженко Н.В., Сорокин А.А.** (*ЗАО "Интел А/О", г. Москва*) сессия 3.1

Автоматический вывод дополнительных ограничений на границах стандартных ячеек 🇷🇺

В

Велигоша А.В. (*Северо-Кавказский Федеральный Университет, г. Ставрополь*) сессия 8.А
Анализ проблем цифровой фильтрации и пути их решения 🇷🇺

Верстов В.А., Зинченко Л.А., Макаrchук В.В., Шахнов В.А. (*МГТУ им. Н.Э.Баумана, г. Москва*) сессия 3.1

Когнитивная визуализация противоречий в задачах трансформации топологии СБИС для технологии двойного шаблона 🇷🇺

Вишнеков А.В., Ерохин В.В., Иванова Е.М. (*НИУ «Высшая школа экономики», г. Москва*) сессия 5.9

Методика автоматизированного выбора микроконтроллера при проектировании изделий электронно-вычислительной техники 🇷🇺

Власов А.И., Цивинская Т.А., Шахнов В.А. (*МГТУ им. Н.Э.Баумана, г. Москва*) сессия 9.4

Анализ влияния формы мембраны на механическую прочность и стабильность параметров МЭМС-сенсоров давления 🇷🇺

Власов А.О. (*ФГУ "ФНЦ НИИСИ РАН", г. Москва*) сессия 1.3

Оптимизация параметров микросхемы без изменения логического описания при технологических нормах 28нм 🇷🇺

Власов А.О. (*ФГУ "ФНЦ НИИСИ РАН", г. Москва*), **Мараховский В.Б.** (*Санкт-Петербургский политехнический университет Петра Великого, г. Санкт-Петербург*), **Сурков А.В.** (*ФГУ "ФНЦ НИИСИ РАН", г. Москва*) сессия 9.3

Проектирование цифровых КМОП схем для экстремальных температур 🇷🇺

Воронков Д.И., Вейков А. (*ООО "НПП "Цифровые решения", г. Москва*), **Сысоев И.Ю.** (*ООО "НПП "Цифровые решения", Московский физико-технический институт, г. Москва*) сессия 7.3

Сложнофункциональный блок контроллера карты памяти интерфейса Secure Digital 

Г

Гаврилов С.В., Жукова Т.Д., Рыжова Д.И. (*Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград*) сессия 1.3

Методы логико-временного анализа библиотечных элементов и блоков СБИС для перспективных технологий с вертикальным затвором транзистора 

Гаврилов С.В., Жукова Т.Д., Рыжова Д.И. (*Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград*) сессия 10.3

Методы оптимизации схем кодирования на основе диаграмм двоичных решений для синтеза отказоустойчивых микро- и наноэлектронных схем 

Гарбулина Т., Лялинская О.В., Хватов В.М. (*Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград*) сессия 3.2

Повышение эффективности проектирования интегральных схем на ПЛИС с ограниченными трассировочными ресурсами 

Герасимов Ю.М. (*ОАО НПЦ "ЭЛВИС", Институт экстремальной прикладной электроники НИЯУ «МИФИ», г. Москва*), **Григорьев Н.Г., Кобыляцкий А.В.** (*ОАО НПЦ "ЭЛВИС", Национальный исследовательский ядерный университет "МИФИ", г. Москва*) сессия 10.3

Методика выбора параметров логической цепи в нанометровых КМОП СБИС с повышенной сбоеустойчивостью 

Глебов А.Л., Миндеева А., Шереметов В.В. (*Национальный исследовательский университет «МИЭТ», г. Зеленоград*) сессия 2.2

Временной анализ цифровых схем с учетом сложных логических корреляций 

Глушань В.М. (*Таганрогская Инженерно-Технологическая Академия Южного Федерального Университета, г. Таганрог*), **Лаврик П.В.** (*ООО "Лодосс", г. Таганрог*), **Рыбальченко М.В.** (*Южный федеральный университет, г. Таганрог*) сессия 5.5

Исследования модели распределенного топологического проектирования СБИС средствами иерархической клиент-серверной архитектуры 

Горячев И. (*Кинтех Лаб, г. Москва*), **Демин Г.Д.** (*Национальный исследовательский университет «МИЭТ», г. Москва*), **Звездин К.А.** (*Институт общей физики им.А.М.Прохорова РАН, г. Москва*), **Зипунова Е.В.** (*Кинтех Лаб, г. Зеленоград*), **Иванов А.В.** (*Институт Прикладной Математики им. М.В. Келдыша РАН, г. Москва*), **Искандарова И.М., Книжник А.А.** (*Кинтех Лаб, г. Москва*), **Левченко В.Д.** (*ИПМ им. М.В. Келдыша РАН, г. Москва*), **Попков А.Ф.** (*Национальный исследовательский университет «МИЭТ», г. Москва*), **Потапкин Б.В.** (*Кинтех Лаб, г. Москва*), **Соловьёв С.В.**

(*Национальный исследовательский университет «МИЭТ», г. Зеленоград*) сессия 11.2

Программный пакет для приборно-технологического моделирования спинтронных приборов на основе магнитных туннельных переходов 

Гревцев Н.А. (*ФГУ "ФНЦ НИИСИ РАН", г. Москва*), **Хисамбеев И.Ш.** (*Московский физико-технический институт, г. Москва*), **Чибисов П.А.** (*ФГУ "ФНЦ НИИСИ РАН", г. Москва*) сессия 4.1

Исследование способов повышения эффективности стохастического тестирования моделей микропроцессоров 

Гурарий М.М., Жаров М.М. (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*), **Ионов Л.П., Мухин И.И.** (*ОАО "НИИМА "Прогресс", г. Москва*), **Русаков С.Г., Ульянов С.Л.** (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*) сессия 2.2

Моделирование возмущенных режимов схем фазовой автоподстройки частоты на основе передаточных характеристик блоков 

Гурарий М.М., Жаров М.М., Русаков С.Г., Ульянов С.Л., Лялинский А.А. (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*) сессия 2.2

Подсистема параметрической оптимизации КМОП операционных усилителей 

Гурарий М.М., Жаров М.М., Ульянов С.Л., Ходош Л.С. (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*) сессия 2.2

Аппроксимация рациональных передаточных функций на основе интегрального критерия точности 

Гуров С.И. (*МГУ им. М.В. Ломоносова, г. Москва*), **Рыжова Д.И.** (*Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград*) сессия 1.3

Алгоритм синтеза цифровых микросхем на основе разложения Э.Н. Гильберта 

Д

Дворников О.В. (*ОАО "МНИПИ", г. Минск*), **Прокопенко Н.Н., Бугакова А.В., Игнашин А.А.** (*Донской государственный технический университет, г. Шахты*) сессия 6.6

Инструментальные и мультидифференциальные усилители датчиковых систем на основе новой микросхемы базового структурного кристалла МН2ХА010 

Дементьев В.В. (*ЗАО НТЦ "Модуль", г. Москва*) сессия 5.7

Системный уровень проектирования IP - блока DSP процессора семейства NeuroMatrix 

Джиган В.И. (*ООО "Техкомпания Хуавэй", г. Москва*) сессия 8.1

Быстрый алгоритм аффинных проекций: полная версия 

Джумъазода А., Авал Р., Подгорная С.В., Панина Л.В., Морченко А.Т., Костишин В.Г. (*Московский институт стали и сплавов, г. Москва*) сессия 11.1

Управляемая дипольная поляризация ферромагнитных микропроводов на ГГц частотах для применений в беспроводных сенсорных устройствах 

Дикарев Н.И., Шабанов Б.М., Шмелёв А.С. (*Межведомственный суперкомпьютерный центр РАН, г. Москва*) сессия 5.3

Использование мелко гранулярного параллелизма в процессоре с архитектурой управления потоком данных 

Доможаков Д.А. (*ОАО НПЦ "ЭЛВИС", Национальный исследовательский ядерный университет "МИФИ", г. Мурманск*), **Дубинский А.В.** (*ОАО НПЦ "ЭЛВИС", г. Москва*),

Раннев Н.Ю. (*Национальный исследовательский ядерный университет "МИФИ", г. Оторма*) сессия 5.4

Методика расчёта вероятности возникновения ошибок в высокоскоростных каналах связи 

Дюжев Н.А., Махиборода М.А., Гусев Е., Грязнева Т., Демин Г.Д. (Национальный исследовательский университет «МИЭТ», г. Москва) сессия 9.2

Моделирование технологического процесса формирования катодно-сеточного узла и его эмиссионных свойств 

Е

Ефимов А.Г., Копцев Д.А., Кузнецова О. (ПАО "Микрон", г. Зеленоград) сессия 6.2

Разработка СВЧ фазовращателя на основе технологии КНИ 0,18 мкм 

Ж

Жезлов К.А., Колбасов Я.С., Козлов А.О., Николаев А.В., Путря Ф.М., Фролова С.Е. (ОАО НППЦ "ЭЛВИС", г. Москва) сессия 4.3

Автоматизация процесса создания тестовых окружений обеспечивающая сквозной маршрут разработки, верификации и исследования СФ-блоков и СнК 

Железников Д.А., Лялинский А.А. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 7.4

Метод оптимизации быстродействия ПЛИС на микроархитектурном уровне с помощью механизма конвейеризации 

З

Зеленко Г.В. (МТУ МИРЭА, г. Москва), **Иванников А.Д.** (Институт проблем проектирования в микроэлектронике РАН, г. Москва), **Рощин А.В.** (МТУ МИРЭА, г. Москва), **Стемпковский А.Л.** (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 7.5

Алгебраические модели декомпозиции задачи отладки проектов цифровых систем с помощью моделирования 

Зеленко Г.В. (МТУ МИРЭА, г. Москва), **Кадиев М.А.** (Московский государственный университет приборостроения и информатики, г. Москва), **Рощин А.В.** (МТУ МИРЭА, г. Москва) сессия 5.8

Об оценке функциональной устойчивости динамической сенсорной локальной сети 

Земляк А.М. (Автономный университет Пуэбла, г. Пуэбла) сессия 2.1

Применение принципа максимума Понтрягина для задачи оптимизации цепей 

Земляк А.М. (Автономный университет Пуэбла, г. Пуэбла), **Маркина Т.М.** (Национальный Технический Университет Украины «Киевский политехнический институт», г. Киев) сессия 2.1

Анализ процесса оптимизации аналоговых цепей на основе функции Ляпунова 

Змеев Д.Н. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 5.3

Средства проектирования высокопроизводительных потоковых вычислительных систем 

Змеев Д.Н., Климов А.В., Левченко Н.Н. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 5.1

Средства распределения вычислений в ППВС «Буран» и варианты реализации блока выработки хэш-функций 

Змеев Д.Н., Кузьмин Е.Н., Левченко Н.Н., Окунев А.С. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 5.1

Тенденции развития архитектур ассоциативной памяти и ее применение в параллельной потоковой вычислительной системе 

И

Ильин С.А. (Научно-исследовательский институт молекулярной электроники, Национальный исследовательский университет «МИЭТ», г. Москва), **Кочанов С.К., Ласточкин О.В., Новиков А.А.** (Научно-исследовательский институт молекулярной электроники, г. Зеленоград) сессия 6.6

Методика автоматизированной генерации и анализа базовых конструктивов для проектирования блоков динамической и статической защиты интегральных схем от ЭСР 

К

Калашников В.С., Семёнов М.Ю. (ООО "Эн-Экс-Пи Семикондакторс", г. Зеленоград) сессия 5.6

Оптимизация состава библиотек стандартных ячеек 

Калеев Д.В., Переверзев А.Л., Савченко Ю.В. (Национальный исследовательский университет «МИЭТ», г. Москва) сессия 8.3

Критерий разрешения фазовых неоднозначностей комплексированной многоантенной спутниковой радионавигационной системы 

Калмыков И.А., Калмыков М.И., Степанова Е.П., Велигоша А.В., Бороденко В. (Северо-Кавказский Федеральный Университет, г. Ставрополь) сессия 8.3

Отказоустойчивый систолический процессор цифровой обработки сигналов, функционирующий в модулярном коде 

Камкин А.С. (Институт системного программирования РАН, г. Москва), **Буренков В.С.** (ЗАО "МЦСТ", г. Москва) сессия 4.3

Метод масштабируемой верификации PROMELA-моделей протоколов когерентности кэш-памяти 

Камкин А.С., Коцыняк А.М. (Институт системного программирования РАН, г. Москва) сессия 4.3

Генерация тестовых программ для подсистемы управления памятью MIPS64 на основе спецификаций 

Кириченко П.Г., Соловьева Л.А., Тарасов И.В. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 7.1

Проектирование 14-портового регистрового файла и буфера трансляции адресов со сниженным потреблением с учетом особенностей технологии 28 нм 

Киселева А.А. (ФГУ "ФНЦ НИИСИ РАН", г. Москва), **Краснюк А.А.** (Национальный исследовательский ядерный университет "МИФИ", ФГУ "ФНЦ НИИСИ РАН", г. Москва), **Трепалин А.П.** (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 6.5

Сравнительный анализ элементов памяти и усилителей считывания для высокотемпературных СБИС ОЗУ 

Клевцов С.И. (Южный федеральный университет, г. Таганрог) сессия 5.4
Моделирование изменения конфигурации каналов передачи и обработки данных в системе в условиях нештатной ситуации 

Климов А.В., Левченко Н.Н., Окунев А.С., Стемпковский А.Л. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 5.1
Вопросы применения и реализации потоковой модели вычислений 

Климов А.В., Окунев А.С. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 5.3
Графический потоковый метаязык для асинхронного распределенного программирования 

Кожин А.С., Альфонсо Д.М., Деменко Р.В., Кожин Е.С., Колычев Р.Е., Костенко В.О. (ЗАО "МЦСТ", г. Москва), **Поляков Н.Ю.** (ЗАО "МЦСТ", Московский физико-технический институт, г. Москва), **Смирнова Е.В., Смирнов Д.А., Смольянов П.А., Тихорский В.В.** (ЗАО "МЦСТ", г. Москва) сессия 5.2
Эльбрус 8С - первый отечественный восьмиядерный микропроцессор, изготовленный по технологии 28 нм 

Козлов А.Г. (Омский государственный технический университет, г. Омск) сессия 9.6
Моделирование частотных характеристик оптомеханических тепловых микросенсоров 

Кононов А. (ОАО "Научно-производственное предприятие "Пульсар", г. Москва), **Пугачёв А.А.** (ОАО "Научно-производственное предприятие "Пульсар", Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 9.6
Метод приборно-технологического моделирования свет-сигнальных характеристик элементов КМОП-фотодиодных СБИС 

Корниленко А.В., Эсула О.И. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 7.1
Оптимизация подсистемы памяти вычислительной системы с помощью предоставления гарантированной полосы пропускания канала памяти 

Коротков А.С., Лобода В.В. (Санкт-Петербургский политехнический университет Петра Великого, г. Санкт-Петербург) сессия 9.4
Моделирование термоэлектрического генератора на основе МЭМС технологии 

Косарев И. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 5.4
Распределённые каналы приёма-передачи данных в сетевых архитектурах многопроцессорных систем 

Крапухин Д.В. (МТУ МИРЭА, Институт сверхвысокочастотной полупроводниковой электроники РАН, г. Москва), **Мальцев П.П., Матвеев О.С., Гнатюк Д.Л., Федоров Ю.В., Зуев А.В.** (Институт сверхвысокочастотной полупроводниковой электроники РАН, г. Москва) сессия 6.2
Моделирование и проектирование МИС малошумящего усилителя со встроенной антенной для диапазона 57-64 ГГц на нитриде галлия 

Крупкина Т.Ю., Красюков А.Ю., Артамонова Е.А. (Национальный исследовательский университет «МИЭТ», г. Москва) сессия 9.2

Одномерное приборно-технологическое моделирование элементов интегральных схем с использованием электронных таблиц 

Курейчик В.М., Сафроненкова И.Б. (Южный федеральный университет, г. Таганрог) сессия 7.5

Создание онтологической модели систем автоматизированного проектирования в среде Protege 4.2 

Л

Лавлинский В.В., Савченко А.Л. (Воронежский государственный лесотехнический университет имени Г.Ф. Морозова, г. Воронеж) сессия 10.4

Проблемы методологии процессов САПР при проектировании электронной компонентной базы специального назначения для оценки радиационной стойкости 

Лавринов Г.А. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 5.6

Реконфигурация маршрутов в RapidIO системе при наличии неисправных соединений 

Ладнушкин М.С. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 4.4

Снижение аппаратных затрат и увеличение коэффициента компрессии средств тестирования константных неисправностей КМОП цифровых СБИС 

Ларионов А.В. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 6.1

Эквалайзер с решающей обратной связью и активной индуктивностью для высокоскоростного приемника 

Лебедев Б.К., Лебедев О.Б. (Таганрогский технологический институт Южного Федерального Университета, г. Таганрог) сессия 3.2

Покрытие на основе методов роевого интеллекта 

Лебедев М.С., Смолов С.А. (Институт системного программирования РАН, г. Москва) сессия 4.2

Метод генерации функциональных тестов для HDL-описаний на основе проверки HLDD-моделей 

Лепёхина Т.А., Николаев В.И. (АО "Концерн радиостроения "Вега", г. Москва) сессия 8.2

Вопросы синхронизации активного имитатора радиомишеней для испытаний радиолокаторов с синтезированной апертурой 

Лесников В.А., Частиков А.В., Гарш Д.Г., Наумович Т.В. (Вятский государственный университет, г. Киров) сессия 8.2

Цифровой рекурсивный формирователь отсчетов сигнала с линейной частотной модуляцией 

Лесников В.А., Частиков А.В., Наумович Т.В., Дубовцев Д.В. (Вятский государственный университет, г. Киров) сессия 8.2

Аппроксимация центрального распределения хи-квадрат для оперативного расчета вероятности ложной тревоги энергетического обнаружителя 

Ливенцев Е.В., Переверзев А.Л., Примаков Е.В., Силантьев А.М. (Национальный исследовательский университет «МИЭТ», г. Зеленоград) сессия 5.7

Бортовая информационно-управляющая система на основе MIPS архитектуры с применением расширения системы команд UDI и аппаратным ускорителем тригонометрических вычислений 

Лобанова А.Ю., Меньшенин Л.В. (*ОАО НПП "ЭЛВИС", г. Зеленоград*) сессия 3.2
Анализ влияния размещения стандартных элементов и конфигурации сетки питания на топологическое проектирование блока микропроцессора 

Ложкин С.А., Шуплецов М.С., Коноводов В.А., Данилов Б.Р., Жуков В.В., Багров Н.Ю. (*МГУ им. М.В. Ломоносова, г. Москва*) сессия 1.2
Распределенная система и алгоритмы поиска минимальных и близких к ним контактных схем для булевых функций от малого числа переменных 

Локинский С.Н., Марченко А.М., Попов Е.А., Савельев В.И., Якимов М.Ю. (*Mentor Graphics, г. Москва*) сессия 3.2
Планирование топологии СБИС в условиях ограничений методами нелинейной оптимизации 

Лосев В.В., Чаплыгин Ю.А., Крупкина Т.Ю., Путря М.Г. (*Национальный исследовательский университет «МИЭТ», г. Москва*) сессия 5.6
Особенности процессов обработки и передачи информации в вычислительных устройствах 

Лупин С.А., Пачин А., Кострова О., Федяшин Д. (*Национальный исследовательский университет «МИЭТ», г. Зеленоград*) сессия 5.5
Динамическое управление вычислениями в распределенных системах 

Лялинский А.А. (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*) сессия 1.1
Генерация больших наборов логических функций для систем автоматизации проектирования цифровых интегральных схем 

М

Мамутова О.В. (*Санкт-Петербургский политехнический университет Петра Великого, г. Санкт-Петербург*) сессия 10.3
Оценка надежности при одиночных сбоях в кэш-памяти в маршруте проектирования системы на кристалле 

Матюшкин И.В. (*ПАО "Микрон", Институт проблем проектирования в микроэлектронике РАН, Национальный исследовательский университет «МИЭТ», г. Зеленоград*) сессия 9.4
Алгоритмы параллельных вычислений в формализации клеточных автоматов: сортировка строк и умножение чисел по схеме Атрубина 

Матюшкин И.В. (*ПАО "Микрон", Институт проблем проектирования в микроэлектронике РАН, Национальный исследовательский университет «МИЭТ», г. Зеленоград*), **Заплетина М.А.** (*Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград*) сессия 9.5
Клеточно-автоматные методы численного решения задач математической физики на гексагональной сетке 

Мосин С.Г. (*Казанский федеральный университет, г. Казань*) сессия 4.2

Метод синтеза тестовых программ для аналого-цифровых интегральных схем с применением сети автоматов 

Московская Ю., Сорокоумов Г. (ОАО "ЭНПО Специализированные электронные системы", г. Москва), **Бобровский Д.** (ОАО "ЭНПО Специализированные электронные системы", Национальный исследовательский ядерный университет "МИФИ", г. Москва), **Никифоров А.Ю.** (ОАО "ЭНПО Специализированные электронные системы", г. Москва), **Денисов А.Н., Сницар В.Г., Жуков А.А.** (НПК "Технологический центр" МИЭТ, г. Москва), **Уланова А.В.** (Институт экстремальной прикладной электроники НИЯУ «МИФИ», ОАО "ЭНПО Специализированные электронные системы", г. Москва) сессия 10.2

Рациональный состав типовой оценочной схемы для контроля радиационной стойкости партий пластин базовых матричных кристаллов 

Мушкаев С.В. (ЗАО НТЦ "Модуль", г. Москва), **Андрианов А.В.** (ЗАО НТЦ "Модуль", Национальный исследовательский ядерный университет "МИФИ", г. Москва) сессия 5.7
Гибридный метод аллокации массивов памяти в аппаратных платформах с разветвленной структурой памяти на базе процессора NeuroMatrix® DSP 

О

Островская Н.В., Скиданов В.А. (Институт проблем проектирования в микроэлектронике РАН, г. Москва), **Юсипова Ю.А.** (Национальный исследовательский университет «МИЭТ», г. Менделеево) сессия 11.1

Особенности переключения намагниченности в ячейках памяти MRAM с планарной анизотропией 

Островская Н.В., Скиданов В.А., Скворцов М.С. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 11.2

Особенности переключения намагниченности в ячейках памяти MRAM с перпендикулярной анизотропией 

П

Петросянц К.О., Кожухов М.В. (МИЭМ НИУ ВШЭ, г. Москва) сессия 9.1

TCAD моделирование характеристик кремниевых и кремний-германиевых биполярных транзисторов с учетом радиационных эффектов 

Печенко И.С. (ЗАО "Интел А/О", г. Москва) сессия 4.4

Спецификация и валидация протоколов систем на кристалле: проблемы и пути их решения 

Писаренко И.В., Рындин Е.А. (Южный федеральный университет, г. Таганрог) сессия 9.1

Физико-топологическое моделирование фотодетекторов интегральных систем оптической коммутации на основе материалов типа АІІВV с учетом зависимостей подвижностей носителей заряда от напряженности электрического поля 

Поперечный П.С. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 8.4

Полиномиальный модулярный умножитель в устройствах помехоустойчивого кодирования 

Поперечный П.С. (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*) сессия 8.4

Реконфигурируемый блок помехоустойчивого кодирования для систем на кристалле 

Прокопенко Н.Н. (*Донской государственный технический университет, г. Шахты*),
Чернов Н.И., Югай В.Я. (*Южный федеральный университет, г. Таганрог*), **Бутырлагин Н.В.** (*Донской государственный технический университет, г. Ростов-на-Дону*) сессия 1.3

Линейный синтез k-значной цифровой элементной базы с токовыми логическими сигналами: принцип обобщения 

Пятак И.М., Морозов Д.В., Пилипко М.М. (*Санкт-Петербургский политехнический университет Петра Великого, г. Санкт-Петербург*) сессия 6.4

14-разрядный конвейерный АЦП с быстродействием 100 МВыб/с 

Р

Ракитин В.В. (*ФГУП "НИИФП им. Ф.В.Лукина", Институт проблем проектирования в микроэлектронике РАН, г. Москва*), **Русаков С.Г.** (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*) сессия 2.1

Мемристорный генератор на триггере Шмитта с несколькими устойчивыми состояниями динамического равновесия 

Руткевич А.В., Хайло Н.Н. (*ООО "НПП "Цифровые решения", г. Москва*), **Сысоев И.Ю.** (*ООО "НПП "Цифровые решения", Московский физико-технический институт, г. Москва*) сессия 7.3

Сложнофункциональный блок ведущего устройства интерфейса Secure Digital 

Рыженко Н.В. (*ЗАО "Интел А/О", г. Москва*), **Быков С.А.** (*Strategic CAD Labs, Intel Corporation, г. Москва*), **Сорокин А.А.** (*ЗАО "Интел А/О", г. Москва*) сессия 3.1

Трассировка битовых элементов памяти с автоматическим построением ограничений на границах ячеек 

Рябцев В.Г., Шубович А.А., Феклистов А.С. (*Волгоградский государственный аграрный университет, г. Волгоград*) сессия 4.4

Мобильное сопряжение средств диагностирования и цифровых систем, конфигурируемых на кристалле 

С

Салем М.М., Неьматов М.Г., Уддин А., Панина Л.В., Морченко А.Т. (*Московский институт стали и сплавов, г. Москва*), **Скиданов В.А.** (*Институт проблем проектирования в микроэлектронике РАН, г. Москва*) сессия 11.1

Использование аморфных ферромагнитных микропроводов в качестве встроенных сенсоров механических напряжений в функциональных материалах 

Самойленко А.П., Панычев А.И., Панычев С.А. (*Южный федеральный университет, г. Таганрог*) сессия 7.4

Синтез контроллера внешних прерываний с динамически изменяемым приоритетом 

Самойлов Л.К., Жебрун Е.А. (*Таганрогская Инженерно-Технологическая Академия Южного Федерального Университета, г. Таганрог*), **Титов А.Е.** (*Таганрогская Инженерно-*

Технологическая Академия Южного Федерального Университета, МНТЦ "МикАн", г. Таганрог) сессия 6.5

Микросхемотехника аналоговых интерфейсов систем электрохимической импедансной спектроскопии 

Сапогин В.Г., Прокопенко Н.Н. (Донской государственный технический университет, г. Шахты), **Иванов Ю.И.** (Южный федеральный университет, г. Таганрог), **Бугакова А.В.** (Донской государственный технический университет, г. Шахты) сессия 6.6

Наноразмерный эффект в планарной индуктивности с технологией «проводящая пленка в токовом кольце» 

Сафонов И.В., Аюпов А., Бернс С. (ЗАО "Интел А/О", г. Portland) сессия 7.1

Умножение матриц n-разрядных чисел с фиксированной точкой с помощью n/2-разрядных векторных инструкций 

Сафьянников Н.М. (Санкт-Петербургский государственный электротехнический университет, ООО "ЛЭТИНТЕХ", г. Санкт-Петербург), **Фролкин А.К.** (Санкт-Петербургский государственный электротехнический университет, ООО "Сенсоэлектроника", г. Санкт-Петербург) сессия 7.5

Структурные преобразования макроблоков СБИС путём перегруппировки их функционально однородных зон 

Свизев Г.А. (Таганрогский технологический институт Южного Федерального Университета, МНТЦ "МикАн", ОАО "НИИМА "Прогресс", г. Таганрог) сессия 6.4

Анализ искажений от модуляции выходной ёмкости в ЦАП с коммутацией токов 

Свизев Г.А. (Таганрогский технологический институт Южного Федерального Университета, МНТЦ "МикАн", ОАО "НИИМА "Прогресс", г. Таганрог), **Ионов Л.П., Мухин И.И.** (ОАО "НИИМА "Прогресс", г. Москва), **Золотарев А.В.** (Радиотехнический институт имени академика А.Л.Минца, г. Таганрог) сессия 6.4

Анализ искажений от импульсов в истоках коммутирующих транзисторов в ЦАП с коммутацией токов 

Селецкий А.В., Шелепин Н.А. (ПАО "Микрон", г. Москва), **Смолин А.А.** (Институт экстремальной прикладной электроники НИЯУ «МИФИ», г. Москва), **Уланова А.В.** (Институт экстремальной прикладной электроники НИЯУ «МИФИ», ОАО "ЭНПО Специализированные электронные системы", г. Москва) сессия 10.4

Исследование влияния разброса технологических параметров СБИС на стойкость к эффектам накопленной дозы радиации с помощью средств приборно-технологического моделирования 

Семенов А., Федорец В.Н., Старцев В. (ФГУП "18 ЦНИИ Минобороны России", г. Москва) сессия 6.3

Контроль однородности партии типовых микросхем при измерении радиочастотных характеристик 

Сивченко А.С. (НПК "Технологический центр" МИЭТ, г. Зеленоград) сессия 9.3

Методика анализа электромиграции проводящих шин с помощью ускоренных измерений тестовых структур в составе пластин 

Сковпин М.С. (Воронежский государственный технический университет, г. Воронеж),

Лапшина М.Л. (Воронежский государственный лесотехнический университет имени Г.Ф. Морозова, г. Воронеж) сессия 5.8

Многокритериальный подход к автоматизации проектирования радиосетей 

Слинкин Д., Зубковский П.С. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 4.1

Исследование пиковой производительности современных микропроцессоров 

Соловьев В.В. (Белорусская государственная академия связи, г. Минск) сессия 1.2

Проектирование на программируемых логических интегральных схемах быстрых конечных автоматов 

Соловьев В.В. (Белорусская государственная академия связи, г. Минск) сессия 7.4

Проектирование на программируемых логических интегральных схемах быстрых компараторов большой разрядности 

Соловьева Л.А. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 7.3

Проектирование гибридного регистра ассоциативной памяти 

Сохацкий А.А. (Сиско Системс Инк., г. Сан Хосе) сессия 4.1

Практические аспекты верификации проектов СБИС 

Стемпковский А.Л., Тельпухов Д.В., Соловьев Р.А., Тельпухова Н.В. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 10.1

Исследование вероятностных методов оценки логической уязвимости комбинационных схем 

Стенин В.Я. (Национальный исследовательский ядерный университет "МИФИ", г. Москва),

Антонюк А.В. (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 10.1

Логический элемент сравнения для 65 нм КМОП селекторов ассоциативных запоминающих устройств 

Стенин В.Я. (Национальный исследовательский ядерный университет "МИФИ", г. Москва),

Катунин Ю.В. (Национальный исследовательский ядерный университет "МИФИ", ФГУ "ФНЦ НИИСИ РАН", г. Москва), **Степанов П.В.** (Национальный исследовательский ядерный университет "МИФИ", г. Москва) сессия 10.1

КМОП 65-нм статические ОЗУ на ячейках памяти DICE с разнесенными на кристалле группами транзисторов 

Степченко Ю.А., Дьяченко Ю.Г., Хилько Д.В., Петрухин В.С. (ФИЦ «Информатика и Управление» РАН, г. Москва) сессия 5.2

Рекуррентная потоковая архитектура: особенности и проблемы реализации 

Степченко Ю.А., Рождественский Ю.В., Дьяченко Ю.Г., Морозов Н.В., Степченко Д.Ю., Степанов Б.А., Дьяченко Д.Ю., Рождественскене А.В. (ФИЦ «Информатика и Управление» РАН, г. Москва) сессия 7.2

Самосинхронное устройство умножения-сложения с плавающей точкой 

Сысоев И.Ю. (ООО "НПП "Цифровые решения", Московский физико-технический институт, г. Москва) сессия 8.4

Декодирование ранговых кодов с использованием дополнительной информации 

Т

Талалай М.С., Рыженко Н.В. (ЗАО "Интел А/О", г. Москва) сессия 3.1

Алгоритм исправления нарушений нанометровых топологических правил в СБИС после физического проектирования 

Татарников А.Д. (Институт системного программирования РАН, г. Москва) сессия 4.2

Комбинаторная генерация тестовых программ для микропроцессоров на основе формальных спецификаций системы команд 

Тельпухов Д.В., Соловьев Р.А., Балака Е.С., Рухлов В.С., Михмель А.С. (Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград) сессия 8.3

Особенности проектирования умножителей по модулю с помощью современных САПР 

Терентьев Д.С., Шахнов В.А., Власов А.И. (МГТУ им. Н.Э.Баумана, г. Москва) сессия 9.5

Устройство сенсорно-бесконтактного ввода информации на базе керамики для авионики 

Тимошенко А.Г., Белоусов Е.О., Моленкамп К.М. (Национальный исследовательский университет «МИЭТ», г. Зеленоград) сессия 6.2

Особенности проектирования и изготовления МИС СВЧ GaN фазовращателей 

Тимошенков В.П., Родионов Д.В., Хлыбов А.И., Мусаткин А.С., Вертянов Д.В.

(Национальный исследовательский университет «МИЭТ», г. Москва) сессия 6.1

СВЧ 3D сборка на полиимидном шлейфе для систем в корпусе 

Ф

Федирко В.А. (Московский государственный технологический университет «СТАНКИН», Национальный исследовательский университет «МИЭТ», г. Москва), **Хафизов Р.З.**

(Национальный исследовательский университет «МИЭТ», ООО «ГрафИмпресс», г. Москва), **Фетисов Е.А.** (Национальный исследовательский университет «МИЭТ», г. Зеленоград) сессия 9.3

Оптимальное проектирование МЭМС-элемента приёмника ИК изображения на основе термпары 

Х

Ханян Г.С. (ФГУП "Центральный институт авиационного моторостроения им. П.И. Баранова", г. Москва) сессия 8.1

Особенности преобразования гармонического сигнала ограниченной длительности по теореме отсчетов 

Хафизов Р.З. (Национальный исследовательский университет «МИЭТ», ООО «ГрафИмпресс», г. Москва), **Тимофеев А.Е.** (Национальный исследовательский университет «МИЭТ», г. Зеленоград) сессия 9.5

Численное моделирование пропускания солнечного излучения в кремниевых фотовольтаических элементах с текстурированной поверхностью 

Хилько Д.В., Степченков Ю.А., Шикунев Д.И., Шикунев Ю.И. (ФИЦ «Информатика и Управление» РАН, г. Москва) сессия 5.2

Рекуррентная потоковая архитектура: технические аспекты реализации и результаты моделирования 

Ч

Чаплыгин Ю.А., Балашов А.Г., Евдокимов В. (Национальный исследовательский университет «МИЭТ», г. Зеленоград), **Ключников А.С.** (Научно-исследовательский институт молекулярной электроники, г. Зеленоград) сессия 9.2

Исследование быстродействия SiGe ГБТ при переходе к суб-100 нм топологическим размерам 

Чаплыгин Ю.А., Крупкина Т.Ю., Красюков А.Ю., Артамонова Е.А. (Национальный исследовательский университет «МИЭТ», г. Москва) сессия 9.1

Исследование электрических характеристик КМОП-КНИ- структур с проектными нормами 0.5 мкм для высокотемпературной электроники 

Черемисинов Д.И., Черемисинова Л.Д. (Объединенный институт проблем информатики НАН Белоруссии, г. Минск) сессия 1.2

Использование параллельных вычислений при автоматизированном проектировании СБИС 

Чобану М.К., Макаров Д.В. (Московский энергетический институт (ТУ), г. Москва) сессия 8.1

Повышение эффективности тензорной аппроксимации для сжатия изображений с помощью заранее обученного словаря 

Чумаков А.И. (Национальный исследовательский ядерный университет "МИФИ", г. Москва) сессия 10.2

Двухпараметрическая модель для оценки чувствительности СБИС к воздействию тяжелых заряженных частиц 

Чумаков А.И. (Национальный исследовательский ядерный университет "МИФИ", г. Москва), **Согоян А.В.** (Национальный исследовательский ядерный университет "МИФИ", ОАО "ЭНПО Специализированные электронные системы", г. Москва), **Боруздина А.Б.** (ОАО "ЭНПО Специализированные электронные системы", Национальный исследовательский ядерный университет "МИФИ", г. Москва), **Смолин А.А.** (Институт экстремальной прикладной электроники НИЯУ «МИФИ», г. Москва), **Печенкин А.А.** (ОАО "ЭНПО Специализированные электронные системы", г. Москва) сессия 10.2

Механизмы многократных сбоев в микросхемах памяти 

Ш

Шагурин И.И., Жихарев Г.Ю. (Национальный исследовательский ядерный университет "МИФИ", г. Москва) сессия 7.1

Мультиконвейерная архитектура высокопроизводительных криптоблоков, используемых в составе «Систем на кристалле» 

Шичкин Н.Ю., Ичкитидзе Л.П., Тельшев Д.В. (Национальный исследовательский университет «МИЭТ», г. Москва) сессия 11.2

Сверхпроводящий пленочный наноструктурированный концентратор в датчике магнитного поля 

Шлепнев А.А. (Институт проблем проектирования в микроэлектронике РАН, г. Москва) сессия 5.5

Адаптация генетических алгоритмов для выполнения в эластичной вычислительной среде с учетом особенностей их применения в САПР 

Шунков В.Е. (ООО "Мегарад", ОКБ Пятое Поколение, г. Москва), **Кусь О.Н.** (ОКБ Пятое Поколение, г. Новосибирск), **Прокопьев В.Ю.** (ООО "Мегарад", г. Новосибирск), **Бутузов В.А.** (Национальный исследовательский ядерный университет "МИФИ", ОКБ Пятое Поколение, г. Москва), **Бочаров Ю.И.** (Национальный исследовательский ядерный университет "МИФИ", г. Москва), **Шунков В.Е.** (ФГУ "ФНЦ НИИСИ РАН", г. Москва) сессия 6.5

Интегральный преобразователь напряжения на переключаемых конденсаторах 

Щ

Щербаков А.С. (Университет Мельбурна, г. Москва) сессия 4.4

Быстрый алгоритм учета зависимостей данных при анализе и тестировании программного обеспечения СБИС 

Щигорев Л.А. (Национальный исследовательский ядерный университет "МИФИ", ЗАО НТЦ "Модуль", г. Москва) сессия 7.3

Организация саморемонта блоков статической оперативной памяти с резервными элементами 

Ю

Юлдашев М.Н. (МГТУ им. Н.Э.Баумана, г. Москва), **Адамов А.П.** (Дагестанский Государственный Технический Университет, г. Махачкала), **Адамова А.А.** (МГТУ им. Н.Э.Баумана, г. Москва) сессия 5.8

Классификация состояний беспроводной сенсорной сети с использованием методов машинного обучения 

Юрлин С.В. (ЗАО "МЦСТ", г. Москва) сессия 7.2

Реализация каналов оперативной памяти DDR4 микропроцессора "Эльбрус-8С2" 

УДК 621.3.049.77 : 658.512

Проблемы разработки перспективных микро- и нанoeлектронных систем – 2016. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2016. Часть II. 292 с.

Часть II сборника научных трудов составлена по материалам секций 4 и 5 («Верификация и тестирование», «Высокопроизводительные вычислительные микроелектронные системы») VII Всероссийской научно-технической конференции «Проблемы разработки перспективных микро- и нанoeлектронных систем – 2016» (Москва, Зеленоград, 03.10-07.10.2016 г.). Представленные работы выполнены научными сотрудниками и аспирантами РАН, специалистами работающих в России научно-производственных организаций, преподавателями, научными сотрудниками, аспирантами и студентами высших учебных заведений, а также сотрудниками ряда зарубежных компаний, лидирующих в области проектирования микро- и нанoeлектронных изделий. Сборник предназначен для научных работников, специалистов, аспирантов и студентов, занимающихся проблемами разработки, анализа, тестирования сложных микро- и нанoeлектронных схем и систем и соответствующих программных средств.

Материалы сборника отражают современное состояние российской микро- и нанoeлектроники, методов и средств разработки микро- и нанoeлектронных схем и систем и являются важным источником информации по перспективным направлениям исследований и инвестиций в сфере микро- и нанoeлектроники.

Все статьи сборника прошли рецензирование и одобрены Редакционной коллегией сборника, Организационным и Программным комитетами конференции.

Конференция проводится при поддержке Российского фонда фундаментальных исследований (проект №16-07-20671).

Ответственный за выпуск Борискин В.С.

Сборник издается с 2005 года. Включен в систему Российского индекса научного цитирования. Аннотации на русском и английском языках находятся в свободном доступе на сайтах конференции (<http://www.mes-conference.ru>) и научной электронной библиотеки (<http://elibrary.ru>). Электронные версии полнотекстовых статей с 2010 г. по 2016 г. расположены на сайте конференции в разделе «АРХИВ». Там же расположен полный каталог статей с 2005 по 2016 г.

Сборники трудов конференций серии МЭС включены в перечень ВАК российских рецензируемых научных журналов и периодических изданий, в которых должны быть опубликованы основные научные результаты диссертаций на соискание ученых степеней доктора и кандидата наук.

ПОДПИСКА:

- по каталогу «Издания органов научно-технической информации» ОАО «Агентство Роспечать» (индекс 59883);
- в редакции Сборника (тел./факс: (499)729-9208).

ISBN 978-5-903559-44-3

© Федеральное государственное бюджетное учреждение науки
Институт проблем проектирования в микроелектронике
Российской академии наук

ISSN 2078-7707

Главный редактор
А.Л. Стемковский,
академик РАН,
д.т.н., проф.

Редакционная коллегия:

Бибило П.Н., д.т.н., проф.
Бобков С.Г., д.т.н., проф.
Борискин В.С.
Буренков А.Ф., д.ф.-м.н.
Гаврилов С.В., д.т.н., проф.
Джиган В.И., д.т.н.
Егорова В.В.
Жмурич А.В., к.т.н.
Зольников В.К., д.т.н., проф.
Иванников А.Д. (заместитель
главного редактора), д.т.н.,
проф.
Коротков А.С., д.т.н., проф.
Курейчик В.В., д.т.н., проф.
Лукьянов Д.А.
Лялинский А.А.
Мальцев П.П., д.т.н., проф.
Марченко А.М., д.т.н., доц.
Меликян В.Ш., д.т.н., проф.,
чл.-корр. НАН Армении
Петросянц К.О., д.т.н., проф.
Пугачёв А.А., к.т.н.
Русаков С.Г., чл.-корр. РАН,
д.т.н., проф.
Рыжов А.П., д.т.н., проф.
Стенин В.Я., д.т.н., проф.
Стешенко В.Б., к.т.н., доц.
Ходош Л.С., к.т.н., с.н.с.
Чумаков А.И., д.т.н., проф.
Шагурич И.И., д.т.н., проф.

Адрес редакции: 124365,
Москва, Зеленоград,
ул. Советская, д. 3,
ИППМ РАН.
Тел./Факс: 8-499-729-9208
E-mail: iprm@iprm.ru
<http://www.mes-conference.ru>

СОДЕРЖАНИЕ

Организационный комитет конференции	III
Программный комитет конференции	IV
Перечень докладов, представленных на сессии «Презентации научно-технических достижений российских и зарубежных компаний, а также организаций, способствующих развитию микроэлектроники и информационных технологий в России»	V
Перечень аналитических докладов, представленных на конференции	VI
О Фонде инфраструктурных и образовательных программ	VII
Введение к II части трудов конференции	XI

Верификация и тестирование

Д.И. Слинкин, П.С. Зубковский Исследование пиковой производительности современных микропроцессоров	2
Н.А. Гревцев, И.Ш. Хисамбеев, П.А. Чибисов Исследование способов повышения эффективности стохастического тестирования моделей микропроцессоров	8
А.А. Сохацкий Практические аспекты верификации проектов СБИС	16
М.С. Лебедев, С.А. Смолов Метод генерации функциональных тестов для HDL-описаний на основе проверки HLDD-моделей	24
С.Г. Мосин Метод синтеза тестовых программ для аналого-цифровых интегральных схем с применением сети автоматов	32
А.Д. Татарников Комбинаторная генерация тестовых программ для микропроцессоров на основе формальных спецификаций системы команд	38
К.А. Жезлов, Я.С. Колбасов, А.О. Козлов, А.В. Николаев, Ф.М. Путря, С.Е. Фролова Автоматизация процесса создания тестовых окружений обеспечивающая сквозной маршрут разработки, верификации и исследования СФ-блоков и СнК	46
В.С. Буренков, А.С. Камкин Метод масштабируемой верификации PROMELA-моделей протоколов когерентности кэш-памяти	54
А.С. Камкин, А.М. Коцыняк Генерация тестовых программ для подсистемы управления памятью MIPS64 на основе спецификаций	61
М.С. Ладнушкин Снижение аппаратурных затрат и увеличение коэффициента компрессии средств тестирования константных неисправностей КМОП цифровых СБИС	68

В.М. Глушань, П.В. Лаврик, М.В. Рыбальченко Исследование модели распределенного топологического проектирования СБИС средствами иерархической клиент-серверной архитектуры	190
А.А. Шлепнев Адаптация генетических алгоритмов для выполнения в эластичной вычислительной среде с учетом особенностей их применения в САПР	197
В.В. Лосев, Ю.А. Чаплыгин, Т.Ю. Крупкина, М.Г. Путря Особенности процессов обработки и передачи информации в вычислительных устройствах	204
Г.А. Лавринов Реконфигурация маршрутов в RapidIO системе при наличии неисправных соединений	212
В.С. Калашников, М.Ю. Семёнов Оптимизация состава библиотек стандартных ячеек	217
В.В. Дементьев Системный уровень проектирования IP - блока DSP процессора семейства NeuroMatrix	225
С.В. Мушкаев, А.В. Андрианов Гибридный метод аллокации массивов памяти в аппаратных платформах с разветвленной структурой памяти на базе процессора NeuroMatrix® DSP	233
Е.В. Ливенцев, А.Л. Переверзев, Е.В. Примаков, А.М. Силантьев Бортовая информационно-управляющая система на основе MIPS архитектуры с применением расширения системы команд UDI и аппаратным ускорителем тригонометрических вычислений ...	238
Г.В. Зеленко, М.А. Кидиев, А.В. Роцин Об оценке функциональной устойчивости динамической сенсорной локальной сети	243
М.Н. Юлдашев, А.П. Адамов, А.А. Адамова Классификация состояний беспроводной сенсорной сети с использованием методов машинного обучения	248
М.С. Сковпин, М.Л. Лапина Многокритериальный подход к автоматизации проектирования радиосетей	252
А.В. Вишнеков, В.В. Ерохин, Е.М. Иванова Методика автоматизированного выбора микроконтроллера при проектировании изделий электронно-вычислительной техники	260
М.Е. Барских Исследование способов построения блока динамического предсказания ветвлений для перспективных микропроцессоров разработки НИИСИ РАН	266
С.И. Аряшев, К.С. Бычков Оптимизация механизма предварительного считывания в кэш-памяти второго уровня	274
Именной указатель авторов статей	280

Методика автоматизированного выбора микроконтроллера при проектировании изделий электронно-вычислительной техники

А.В. Вишнеков, В.В. Ерохин, Е.М. Иванова

Национальный исследовательский университет "Высшая школа экономики", emivanova@hse.ru

Аннотация — Задача выбора микроконтроллера при проектировании изделий электронно-вычислительной техники является сложной многокритериальной задачей с большим числом альтернатив. Сегодня данная задача, как правило, решается либо на основе субъективных предпочтений разработчика, либо за счет не всегда оправданного исключения из рассмотрения ряда альтернативных вариантов (семейств микроконтроллеров). В работе предлагается автоматизировать трудоемкую процедуру выбора за счёт последовательного применения групповых и индивидуальных методов поддержки принятия решений. Это позволит сократить время и упростить процедуру поиска наиболее рационального решения поставленной задачи.

Ключевые слова — проектное решение, выбор микроконтроллера, эксперт, критерии оценки качества проектного решения.

I. ВВЕДЕНИЕ

При проектировании множества изделий электронно-вычислительной техники (ИЭВТ) разработчику может потребоваться выбрать микроконтроллер (МК), например, в качестве системы управления изделием. Для решения этой задачи требуется подобрать МК, удовлетворяющий множеству критериев, что сделать очень сложно, т.к. число подобных критериев, как и альтернативных МК для сравнения может оказаться значительным. Исследователями в данной области предлагались различные подходы к решению указанной задачи [1]–[3]. Однако все предлагаемые методики сводятся к последовательной фильтрации по заданным критериям и отличаются лишь последовательностью применения критериев при отборе. Причем каждый автор настаивает, что именно его последовательность критериев является правильной [4-9].

Предлагается подойти к решению проблемы с научной точки зрения и применить аппарат теории принятия решений. Большинство предлагаемых подходов [1-9] в соответствии с теорией принятия решений может применяться лишь для сужения множества рассматриваемых вариантов, но никак не для выбора окончательного решения, поскольку, как правило, ведет к потере наиболее рациональных решений (т.е. удовлетворяющих ЛПП – лицо,

принимающее решение, в наибольшей степени с учетом значений всех заданных критериев оценки качества принимаемых решений).

Новизна и практическая значимость предлагаемой методики состоит в том, что она позволяет в интерактивном режиме вести поиск компромиссного решения задачи с точки зрения всех критериев в условиях их противоречивости и разной ценности. Причем в предлагаемой методике используются допустимые для ЛПП интерактивные процедуры принятия решений, то есть процедуры, при выполнении которых человек по результатам психологических исследований не совершает ошибок.

Делая выбор на основе опыта и интуиции, инженеры могут получить удовлетворительные результаты, но существует высокая вероятность ошибки. При более формализованном подходе можно обеспечить стабильный результат наиболее рационального выбора в условиях противоречивых критериев и большого числа альтернативных вариантов. Кроме того, формализованный алгоритм легко запрограммировать и тем самым автоматизировать выбор МК для ИЭВТ.

II. ПОСТАНОВКА ЗАДАЧИ

Предлагается разбить задачу выбора МК на несколько последовательных этапов, постепенно сужающих пространство выбора, и на каждом этапе решить частную многокритериальную задачу на основе применения методов поддержки принятия решений. Каждый из методов имеет строгий алгоритм, что позволит автоматизировать весь процесс выбора МК согласно условиям проекта. Рассмотрим основные этапы процесса выбора:

- 1) формирование экспертной группы для участия в процессе принятия решения по выбору МК;
- 2) формирование экспертами критериев отбора семейства МК (группа критериев 1) как наиболее значимых из всего списка эксплуатационных, системных, экономических и производственных требований к предполагаемому ИЭВТ;
- 3) определение экспертами весов критериев группы 1;

- 4) ранжирование всех альтернативных семейств МК согласно взвешенной группе критериев 1 с определением наиболее подходящего семейства;
- 5) формирование экспертами критериев отбора МК внутри семейства (группа критериев 2);
- 6) ранжирование всех альтернативных МК согласно взвешенной группе критериев 2 с определением наиболее подходящего МК.

III. ПРЕДЛАГАЕМЫЕ РЕШЕНИЯ

A. Задачи этапа 1 - формирование группы экспертов

На данном этапе предлагается использовать метод ранга [10]. Лицо, принимающее решение (ЛПР), например, руководитель проекта выбирает k_3 специалистов для участия в экспертной группе, руководствуясь профессиональным стажем и областью их профессиональных интересов, необходимых для рассматриваемого проекта. Далее ЛПР задает числовые оценки компетентности экспертов C_{3i} ($i=1, \dots, k_3$) по десятибалльной шкале [11] и по формуле (1) определяется коэффициент W_{3i} компетентности каждого эксперта (значимость/вес голоса эксперта):

$$W_{3i} = \frac{C_{3i}}{\sum_i C_{3i}}, \quad i = 1, \dots, k_3. \quad (1)$$

Например, для исходных данных: $k_3=4$; $C_{31}=10$; $C_{32}=8$; $C_{33}=9$; $C_{34}=10$ получим коэффициенты: $W_{31}=0,27$; $W_{32}=0,22$; $W_{33}=0,24$; $W_{34}=0,27$.

B. Задачи этапа 2 – формирование критериев отбора семейства МК

Цель данного этапа – создать минимальный набор значимых критериев K_j ($j=1, \dots, n$), по которому в дальнейшем будет производиться отбор семейства микроконтроллеров. Предлагаемый исследователями [1,3] перечень критериев может быть, как расширен за счёт специфических требований заказчика, так и сокращён по желанию экспертной группы.

Каждый i -й эксперт исходя из собственного видения особенностей проекта и задачи, голосует за включение того или иного j -го критерия в группу 1, выставляя оценки (B_{ij}) «0» или «1». По каждому критерию высчитывается взвешенная сумма S_j голосов экспертов с учётом коэффициентов компетентности каждого эксперта по формуле (2):

$$S_j = \sum_i C_{3i} \cdot W_{3i}, \quad i = 1, \dots, k_3, \quad j = 1, \dots, n. \quad (2)$$

Условием отбора критериев в группу 1 может быть либо большинство отданных голосов экспертов, либо условие $S_j \geq 0,5$, либо комбинация обоих условий. Пример результатов голосования приведен в табл. 1, где критерии отбирались по условию $S_j \geq 0,5$.

Если число отобранных критериев слишком велико, то этап 2 можно повторить для сокращения этого перечня или для определения меньшего числа составных критериев с большим числом вложенных критериев отбора.

Таблица 1

Оценки C_{ij} критериев K_j экспертами $Э_i$ для включения в группу 1

№ п/п	Критерий K_j	Оценка от i -го эксперта с весом голоса W_{3i}				S_j
		$W_{31} = 0,27$	$W_{32} = 0,22$	$W_{33} = 0,24$	$W_{34} = 0,27$	
1	Предпочтения экспертов	1	1	1	1	1
2	Невысокая стоимость МК	1	1	1	1	1
3	Большой гарантийный срок эксплуатации	0	0	0	1	0,27
4	Требуемые электрические параметры	0	0	0	0	0
5	Требуемые механические параметры	0	1	0	0	0,22
6	Доступность отладочных средств	1	0	0	0	0,27
7	«Брендовость» архитектуры CPU	0	1	1	1	0,73
8	Допустимая потребляемая мощность	0	1	1	0	0,46
9	Наличие альтернативных поставщиков	1	1	0	1	0,76
10	Требуемая вычислительная мощность ядра	1	1	1	1	1
11	Требуемый объём RAM	1	1	1	1	1
12	Требуемый объём ROM	1	1	1	0	0,46
13	Требуемый тип корпуса	0	0	0	1	0,27

Допустим, что в группу 1 были отобраны шесть критериев ($n=6$), два из которых составные:

- K_1 . Предпочтения экспертов
- K_2 . Вычислительная мощность ядра
 - $K_{2.1}$. Удельная производительность
 - $K_{2.2}$. Разрядность
 - $K_{2.3}$. Тактовая частота
- K_3 . «Брендовая» архитектура ЦПУ МК
- K_4 . Стоимость разработки
 - $K_{4.1}$. Стоимость МК с доп. компонентами
 - $K_{4.2}$. Стоимость ПО
- K_5 . Объем ОЗУ
- K_6 . Наличие альтернативных поставщиков.

C. Задачи этапа 3 – определение весов критериев группы 1

В группе 1 критериев мы видим иерархическую систему: критерии верхнего уровня иерархии оценки ($K_1, K_2, K_3, K_4, K_5, K_6$) и нижнего уровня (вложенные критерии: $K_{2.1}, K_{2.2}, K_{2.3}$ и $K_{4.1}, K_{4.2}$). Вначале вычисляется вес каждого критерия верхнего уровня

группы 1 и выполняется их ранжирование по важности. Для расчётов предлагается применить метод ранга, как и в разделе III, А. Каждый i -й эксперт формирует десятибалльные оценки (R_{ij}) каждого j -го критерия K_j (см. табл. 2).

Таблица 2

Экспертные оценки важности критериев

$W_{Э_i}$	$i \setminus j$	1	2	3	4	5	6
		R_{ij}					
0,27	1	8	6	10	3	3	4
0,22	2	6	7	9	5	4	3
0,24	3	8	10	10	7	7	5
0,27	4	10	9	8	6	7	5
$\sum_i R_{ij} \cdot W_{Э_i}$		8,10	7,99	9,24	5,21	5,26	4,31

Далее рассчитаем веса W_{K_j} критериев K_j с учётом коэффициента $W_{Э_i}$ компетентности каждого эксперта по формуле (3):

$$W_{K_i} = \frac{\sum_j R_{ij} \cdot W_{Э_i}}{\sum_j \sum_i R_{ij} \cdot W_{Э_i}}, \quad i = 1, \dots, k_{Э}, \quad j = 1, \dots, n. \quad (3)$$

В результате расчетов были получены следующие веса критериев верхнего уровня: $W_{K_1}=0,20$; $W_{K_2}=0,20$; $W_{K_3}=0,23$; $W_{K_4}=0,13$; $W_{K_5}=0,13$; $W_{K_6}=0,11$, которые отражают их важность. Согласно весам можно проранжировать критерии верхнего уровня иерархии группы 1 следующим образом (по убыванию): $K_3, K_1, K_2, K_4, K_5, K_6$ или ($K_3 > K_1 = K_2 > K_4 = K_5 > K_6$).

Для каждого i -го составного критерия опустимся на уровень ниже в иерархии критериев ($K_{i,1}, K_{i,2}, \dots$). Для каждого такого подмножества определим свою внутреннюю взаимную важность (вес) вложенных критериев ($W_{i,1}, W_{i,2}, \dots$) для формирования оценки по соответствующему составному критерию. Т.е. оценим, например, насколько важна разрядность (вес критерия $K_{2,1}$) при оценке вычислительной мощности ядра (критерия K_2). Таким образом, для всех вложенных критериев ($K_{2,1}, K_{2,2}, K_{2,3}$) и ($K_{4,1}, K_{4,2}$) проделаем процедуры, аналогичные рассмотренным в начале раздела III, С. Допустим, что были получены следующие внутренние веса критериев: $W_{2,1}=0,50$; $W_{2,2}=0,33$; $W_{2,3}=0,17$; $W_{4,1}=0,67$; $W_{4,2}=0,33$.

Поскольку общее число критериев (с учётом вложенных) невелико (≤ 10), можно избавиться от составных критериев и «поднять» все вложенные критерии на уровень выше. Т.е. вместо критерия K_2 появятся три новых критерия верхнего уровня (соответствующие вложенным критериям ($K_{2,1}, K_{2,2}, K_{2,3}$)). Для этого вычислим итоговые веса новых критериев умножением их собственных внутренних весов ($W_{i,1}, W_{i,2}, \dots$) на вес соответствующего составного критерия (в нашем примере K_2 или K_4). Тогда в результате вычислений получим: $W_{K_{2,1}}=0,10$; $W_{K_{2,2}}=0,07$; $W_{K_{2,3}}=0,03$; $W_{K_{4,1}}=0,09$; $W_{K_{4,2}}=0,04$, а новое

общее число критериев верхнего (и единственного) уровня станет $n=9$.

Если общее число критериев (с учётом вложенных) значительно (> 10), то следует провести процедуры сравнения альтернатив (см. раздел III, D.) по каждому составному критерию отдельно (т.е. по его вложенным критериям нижнего уровня), и эти оценки использовать при сравнении альтернатив по критериям верхнего уровня иерархии.

D. Задачи этапа 4 – выбор и ранжирование альтернативных семейств МК

Для сокращения числа альтернативных семейств МК до разумной величины можно применить методику, предложенную в разделе III, B: голосование экспертов. Имеет смысл оценивать семейство по его «топовому» представителю, поскольку остальные МК семейства, как правило, уступают ему по ряду параметров. Эксперты выставляют оценки «0» или «1» каждой из альтернатив и, сравнивая число голосов или взвешенную оценку альтернативы, можно отбросить наименее удовлетворяющие требованиям экспертов, например, с числом голосов менее трех (см. табл. 3).

Таблица 3

Экспертные оценки семейств МК (альтернатив A1) экспертами Э1

Наименование альтернативы	Оценка от i -го эксперта с весом $W_{Э_i}$				Общее число голосов
	$W_{Э_1}=0,27$	$W_{Э_2}=0,22$	$W_{Э_3}=0,24$	$W_{Э_4}=0,27$	
8-разрядные					
PIC16 (Microchip)	1	1	0	0	2
PIC18F (Microchip)	0	0	0	1	1
tinyAVR (Atmel)	0	0	1	0	1
megaAVR (Atmel)	1	0	0	0	1
XMEGA AVR (Atmel)	1	0	0	1	2
P80C51SBAA (NXP)	0	1	0	1	2
16-разрядные					
PIC24F (Microchip)	0	1	0	1	2
PIC24H (Microchip)	0	0	0	0	0
MSP430 (TI)	0	0	0	0	0
32-разрядные					
PIC32MX360F512L (Microchip)	1	1	1	0	3
AT32AP7000 (Atmel)	1	1	1	1	4
AVR32 UC3 (Atmel)	1	1	0	0	2
TM4C123x (TI)	0	0	1	0	1
TM4C129x (TI)	1	0	0	1	2
LPC2138 (NXP)	1	1	1	1	4
DSP					
dsPIC30F (Microchip)	1	0	0	1	2
dsPIC33F (Microchip)	0	1	0	1	2
C5000™ (TI)	1	0	1	0	2
C6000™ (TI)	0	0	0	0	0

Допустим, что в нашем примере экспертами были выставлены оценки, как показано в табл. 3 и выбраны три ($m=3$) альтернативы: A1) PIC32MX360F512L, A2) AT32AP7000, A3) LPC2138. Для их сравнения по выбранным в разделе III, E критериям предлагается применить метод аналитических иерархий [10],

определяющий степень предпочтительности альтернативы на основании значений функций ценности альтернатив по каждому критерию. ЛПР заполняет таблицу сравнительной оценки альтернатив (см. табл. 4), расставляя приоритеты путем сравнения числовых или лингвистических характеристик семейств МК, основываясь на данных компаний-производителей или поставщиков.

Таблица 4

Сравнительная оценка семейств МК

Критерии (вес)	Значение характеристики (приоритета) альтернативы		
	A1	A2	A3
K_1 . Предпочтения экспертов, число голосов «за» (0,20)	4 (2)	3 (3)	4 (1)
K_2 . Удельная производительность, MIPS/МГц (0,10)	1.48(2)	1.56 (1)	— (3)
K_3 . Разрядность (0,07)	32 (2)	32/16 (1)	32/16 (1)
K_4 . Тактовая частота (0,03)	200(1)	80(2)	60(3)
K_5 . «Брендовая» архитектура ЦПУ МК (0,23)	Avr (3)	MIPS (2)	ARM (1)
K_6 . Стоимость контроллера с дополнительными компонентами (0,09)	(2)	(3)	(1)
K_7 . Стоимость ПО (0,04)	(1)	(2)	(3)
K_8 . Объем ОЗУ, МБайт (0,13)	32 (1)	32(1)	32(1)
K_9 . Наличие альтернативных поставщиков (0,11)	Мало (2)	Мало (2)	Много (1)

Для сравнения альтернативных семейств по методу аналитических иерархий строятся n матриц Y^{kl} ($l=1, \dots, n$) взаимного предпочтения альтернатив по каждому l -му критерию (см. рис. 1). Элементом y_{ij}^{kl} l -ой матрицы является относительная важность альтернативы A_i ($i=1, \dots, m$) по сравнению с альтернативой A_j ($j=1, \dots, m$) по критерию K_l . Эта важность указывается по следующей шкале: равная важность – 1, умеренное превосходство – 3, существенное превосходство – 5, значительное превосходство – 7, очень большое превосходство – 9.

$$Y^{K1} = \begin{pmatrix} 1 & 1/3 & 3 \\ 3 & 1 & 5 \\ 1/3 & 1/5 & 1 \end{pmatrix}, Y^{K2} = \begin{pmatrix} 1 & 3 & 1/3 \\ 1/3 & 1 & 1/5 \\ 5 & 1 & 1 \end{pmatrix}, Y^{K3} = \begin{pmatrix} 1 & 1/3 & 1/3 \\ 3 & 1 & 1 \\ 3 & 1 & 1 \end{pmatrix},$$

$$Y^{K4} = \begin{pmatrix} 1 & 1/3 & 1/5 \\ 3 & 1 & 1/3 \\ 5 & 3 & 1 \end{pmatrix}, Y^{K5} = \begin{pmatrix} 1 & 3 & 5 \\ 1/3 & 1 & 3 \\ 1/5 & 1/3 & 1 \end{pmatrix}, Y^{K6} = \begin{pmatrix} 1 & 1/3 & 3 \\ 3 & 1 & 5 \\ 1/3 & 1/5 & 1 \end{pmatrix},$$

$$Y^{K7} = \begin{pmatrix} 1 & 1/3 & 1/5 \\ 3 & 1 & 1/3 \\ 5 & 3 & 1 \end{pmatrix}, Y^{K8} = \begin{pmatrix} 1 & 1 & 1 \\ 1 & 1 & 1 \\ 1 & 1 & 1 \end{pmatrix}, Y^{K9} = \begin{pmatrix} 1 & 1 & 3 \\ 1 & 1 & 3 \\ 1/3 & 1/3 & 1 \end{pmatrix}.$$

Рис. 1. Матрицы взаимного предпочтения альтернатив по каждому критерию

Далее с использованием значений y_{ij}^{kl} рассчитываем ценность каждой альтернативы по формуле (4):

$$V_{Aj}^{kl} = \frac{\sum_j \sqrt[m]{\prod_j y_{ij}^{kl}}}{\sqrt[m]{\prod_j y_{ij}^{kl}}}, \quad (4)$$

где $i=j=1, \dots, m$; $l=1, \dots, n$.

Итоговая ценность альтернатив рассчитывается по формуле (5):

$$U_{Aj} = \sum_l V_{Aj}^{kl} \cdot W_{Kl}. \quad (5)$$

и составит $U_{A1}=0,16$; $U_{A2}=0,54$; $U_{A3}=0,30$. Значит наилучшим выбором будет альтернатива A2) семейство PIC32MX3xx.

Если количество отобранных для сравнения альтернатив слишком велико для метода аналитических иерархий, то существует большая вероятность получить несогласованные матрицы попарного сравнения альтернатив по критериям. Тогда можно использовать метод перестановок [11]. Для него возможно исключить участие ЛПР в процедуре попарного сравнения альтернатив с целью минимизации несогласованности оценок. Процедура ранжирования альтернатив и выбора наилучшей может быть полностью автоматизирована (за исключением расчёта весов критериев). Процедура расчета весов критериев аналогична рассмотренной в разделе III, C.

Метод перестановок заключается в упорядочении альтернатив на основе расчета показателя Z_{ij} для каждой пары альтернатив A_i и A_j ($i=1, \dots, m$; $j=1, \dots, m$) (6).

$$Z_{ij} = \sum_l W_{Kl} - \sum_p W_{Kp}. \quad (6)$$

В формуле (6) W_{Kl} ($l \leq n$) – веса критериев, по которым альтернатива A_i лучше A_j , а W_{Kp} ($p \leq n$) – веса критериев, по которым альтернатива A_i хуже A_j .

Е. Задачи этапа 5 – формирование критериев отбора МК

Задачи этого этапа решаются аналогично задачам этапа 3 (см. раздел III, C). Будем считать, что на этом этапе была выбрана некоторая группа 2 критериев и рассчитаны их весовые оценки:

- K_1 . Отладочные возможности ($W_{K1}=0,33$).
- K_2 . Объем Flash ПЗУ $\geq 256K6$ ($W_{K2}=0,27$).
- K_3 . Объем ОЗУ $\geq 16K6$ ($W_{K3}=0,20$).
- K_4 . Тип корпуса ($W_{K4}=0,13$).
- K_5 . Стоимость ($W_{K5}=0,07$).

Г. Задачи этапа 6 – выбор и ранжирование МК

Задачи этого этапа решаются аналогично задачам этапа 4 (см. раздел III, D). Рассмотрим пример (табл. 3) выбора одного из четырех альтернативных МК (A1 – PIC32MX320F128H, A2 – PIC32MX440F256H, A3 – PIC32MX460F512L, A4 – PIC32MX460F256L) по пяти

выбранным на пятом этапе критериям (K_1-K_5). Хотя фирма-изготовитель предоставляет существенно больший выбор МК семейства и видов корпусов для некоторых из них, для иллюстрации подхода ограничимся указанными в табл. 5 данными. Как и в табл. 4, числа в скобках означают назначенные ЛПП приоритеты (относительную важность) каждой альтернативы по каждому критерию с точки зрения их актуальности для данного проекта.

Таблица 5

Сравнительная оценка альтернативных МК

Критерий	W_{K_i}	Значение характеристики (приоритета) альтернативы			
		A1	A2	A3	A4
K1. Отладочные возможности	0,33	2	2	1	1
K2. Объем Flash ПЗУ ≥ 256 Кб (Кбайт)	0,27	128 (2)	256 (1)	512 (1)	256 (1)
K3. Объем ОЗУ ≥ 16 Кб (Кбайт)	0,20	16 (2)	32 (1)	32 (1)	32 (1)
K4. Тип корпуса	0,13	TQFP-64 (1)	TQFP-64 (1)	XBGA-121 (3)	TQFP-100 (2)
K5. Стоимость	0,07	1	1	3	2

Проведя расчеты по формулам (4), (5) вычислим степень предпочтения каждой альтернативы с учётом весов критериев: $U_{A1}=0,17$; $U_{A2}=0,26$; $U_{A3}=0,28$; $U_{A4}=0,29$. Отсюда ранжирование альтернатив по степени предпочтительности будет следующим: наиболее предпочтительная A4 (ценность=0,29), далее – A3 (ценность=0,28), A2 (ценность=0,26), A1 (ценность=0,17).

IV. ЗАКЛЮЧЕНИЕ

В докладе рассмотрен вопрос автоматизации процедуры выбора микроконтроллера при проектировании различных изделий ЭВТ и предложена методика решения задачи, состоящая из нескольких последовательных этапов. На каждом этапе в результате применения методов поддержки принятия решений перечень рассматриваемых микроконтроллеров существенно сокращается, что в конечном итоге приводит к решению поставленной задачи. Предлагаемый подход позволяет свести процедуру выбора микроконтроллера к последовательности допустимых процедур принятия решений, то есть процедур, при выполнении которых эксперты, как правило, не допускают ошибок, а также позволит избежать предвзятости специалистов при принятии решений. Описанный подход может быть положен в основу разработки автоматизированной

системы поддержки принятия решений (СППР) для выбора микроконтроллера. Вариантов программного исполнения подобной системы может быть множество, т.к. её интерфейс и параметры (число и характер используемых критериев и число способов описания альтернатив) определяется согласно требованиям пользователей (руководителя проекта, руководителя подразделения или инженера-разработчика ИЭВТ).

Предложенная методика выбора микроконтроллеров, основанная на формальных процедурах, позволяет автоматизировать отбор, учитывая множество противоречивых факторов и специфику конкретной задачи, что позволит получить в конечном итоге более качественное изделие.

ЛИТЕРАТУРА

- [1] Ежов В. Выбор микроконтроллера и другие решения для встраиваемой системы. [Электронный ресурс]. // Электронные компоненты, 2008, №11, С. 73-77 URL: <http://www.russianelectronics.ru/developer/r/review/2192/doc/45630/> (Дата обращения: 04.03.2016).
- [2] Giovino B. Choosing a Microcontroller Architecture. [Электронный ресурс]. URL: http://microcontroller.com/Choosing_a_Microcontroller_Architecture_Part_1.htm (Дата обращения: 05.03.2016).
- [3] Сердюков О.В., Мухин Ю.Д. Выбор микроконтроллера. [Электронный ресурс]. URL: <http://asutpnews.ru/content/view/28/> (Дата обращения: 21.02.2016).
- [4] Выбираем микроконтроллер вместе. [Электронный ресурс]. URL: <https://habrahabr.ru/post/122030/> (Дата обращения: 27.04.2016)
- [5] Microprocessor (MPU) or Microcontroller (MCU)? [Электронный ресурс]. URL: <http://chipenable.ru/index.php/embedded-programming/item/204-mikroprotessor-ili-mikrokontrollerss-cto-vybrat-dlya-svoey-razrabotkiss.html> (Дата обращения: 27.04.2016)
- [6] Сердюков О.В., Мухин Ю.Д. Выбор Микроконтроллера [Электронный ресурс]. URL: <http://asutpnews.ru/content/view/28/45/> (Дата обращения: 28.04.2016)
- [7] Классификация и выбор микроконтроллеров [Электронный ресурс]. URL: <http://prog-cpp.ru/select-micro/> (Дата обращения: 27.04.2016)
- [8] Кутень И. Выбор микроконтроллера и другие решения для встраиваемой системы. [Электронный ресурс]. URL: <http://www.russianelectronics.ru/developer/r/review/2192/doc/45630/> (Дата обращения: 28.04.2016)
- [9] Критерии выбора микроконтроллера. [Электронный ресурс]. URL: <http://microchipinf.com/articles/45/138> (Дата обращения: 28.04.2016)
- [10] Ларичев О.И. Теория и методы принятия решений, а также Хроника событий в Волшебных странах: Учебник. Изд. 2-е, перераб. и доп. - М.: Логос, 2002, - 392 с.4.
- [11] Трахтенгерц Э. А. Компьютерная поддержка принятия решений. - М.: СИНТЕГ, 1998. - 376 с.5.

Procedure of automated MCU selection for design of electronic and computer technology products

A.V. Vishnekov, V.V. Erokhin, E. M. Ivanova,

National Research University Higher School of Economics, emivanova@hse.ru

Keywords - design solution, the microcontroller choice, expert, criteria for evaluation of design decision quality.

ABSTRACT

Purpose. When designing products of electronic and computer technology (PECT) developer may need to select the microcontroller (MCU), for example, as the product control system. The problem of MCU choice is very difficult multi-criteria task with significant number of criteria and alternative MCU for comparison. One can obtain satisfactory results, choosing intuitively based on own experience [1]-[9], but also can make a mistake. At the same time, formal decision-making support methods steadily provide the most rational choice with conflicting selection criteria and a large number of alternatives.

Methods. It is suggested to divide the MCU selection task into several consecutive phases, gradually converging selection space, and to solve individual multicriteria task based on the decision making methods application at each stage: method of rank [11], group procedure of experts vote, method of analytical hierarchies [10]. Each of these methods has strict algorithm that will automate the entire process of MCU choice in accordance with project specifications.

Results. The report considers an example of MCU selection by application of decision-making support methods that systematically reduce MCU list and ultimately lead to the task solution.

Conclusion. The proposed approach allows you to bring the microcontroller selection procedure to sequence of the acceptable decision-making procedures. These procedures, as a rule, do not allow experts to make errors and would avoid the expert's prejudgment in decision-making. The methodology proposed for MCU selection is based on formal procedures that enables you to automate the selection taking into account many contradictory factors and properties of a specific task that will allow ultimately getting more qualitative project decision.

REFERENCES

- [1] V. Ezhov Vybor mikrokontrollera i drugie reshenija dlja vstraivaemoj sistemy. [Jelektronnyj resurs]. // Jelektronnye komponenty, 2008, No. 11, pp. 73-77 URL: <http://www.russianelectronics.ru/developer-r/review/2192/doc/45630/> (Accessed: 04.03.2016) (in Russian).
- [2] Giovino B. Choosing a Microcontroller Architecture. [Jelektronnyj resurs]. URL: http://microcontroller.com/Choosing_a_Microcontroller_Architecture_Part_1.htm (Accessed: 05.03.2016) (in Russian).
- [3] Serdjukov O.V., Muhin Ju.D. Vybor mikrokontrollera. [Jelektronnyj resurs]. URL: <http://asutpnews.ru/content/view/28/> (Accessed: 12.20.2016) (in Russian).
- [4] Vybraem mikrokontroller vmeste. [Jelektronnyj resurs]. URL: <https://habrahabr.ru/post/122030/> (Accessed: 27.04.2016) (in Russian).
- [5] Microprocessor (MPU) or Microcontroller (MCU)? [Jelektronnyj resurs]. URL: <http://chipenable.ru/index.php/embedded-programming/item/204-mikroprotessor-ili-mikrokontrollerss-cto-vybrat-dlya-svoey-razrabotkiss.html> (Accessed: 27.04.2016) (in Russian).
- [6] Serdjukov O.V., Muhin Ju.D. Vybor Mikrokontrollera [Jelektronnyj resurs]. URL: <http://asutpnews.ru/content/view/28/45/> (Accessed: 28.04.2016) (in Russian).
- [7] Klassifikacija i vybor mikrokontrollerov [Jelektronnyj resurs]. URL: <http://prog-cpp.ru/select-micro/> (Accessed: 27.04.2016) (in Russian).
- [8] Kuten' I. Vybor mikrokontrollera i drugie reshenija dlja vstraivaemoj sistemy. [Jelektronnyj resurs]. URL: <http://www.russianelectronics.ru/developer-r/review/2192/doc/45630/> (Accessed: 28.04.2016) (in Russian).
- [9] Kriterii vybora mikrokontrollera. [Jelektronnyj resurs]. URL: <http://microchipinf.com/articles/45/138> (Accessed: 28.04.2016)
- [10] Larichev O.I. Teorija i metody prinjatija reshenij, a takzhe Hronika sobytij v stranah Volshebnyh: Uchebnik. Izd. 2-e, pererab. i dop. – Moscow, Logos, 2002, - 392 p. (in Russian).
- [11] Trahtengerc Je. A. Komp'juternaja podderzhka prinjatija reshenij. – Moscow, SINTEG, 1998. - 376 p. [2] Kharlamova, T.L. Motivational basis for the effective work of an enterprise. Ekonomika i upravlenie, 2006, No. 3, pp. 100-102 (in Russian).